

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

09/787218

PCT/JP00/C4639

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

12.07.00

#4
50

07/21/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 7月15日

REC'D 04 SEP 2000

出 願 番 号

Application Number:

平成11年特許願第201250号

WIPO

PCT

出 願 人

Applicant(s):

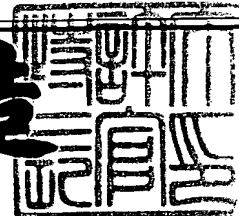
セイコーエプソン株式会社

PRIORITY
DOCUMENTSUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 8月18日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-30644

【書類名】 特許願
【整理番号】 EP192201
【提出日】 平成11年 7月15日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 13/12
【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 神原 義幸

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 石田 卓也

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送制御装置及び電子機器

【特許請求の範囲】

【請求項 1】 バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

ノード間でのパケット転送のためのサービスを提供するリンク手段と、
前記リンク手段を介して受信したパケットを、ランダムアクセス可能なパケット記憶手段に書き込む書き込み手段と、

パケットの制御情報を、前記パケット記憶手段の制御情報領域に書き込み、パケットの第 1 の層用の第 1 のデータを、前記パケット記憶手段の第 1 のデータ領域に書き込み、パケットの、前記第 1 の層の上層である第 2 の層用の第 2 のデータを、前記パケット記憶手段の第 2 のデータ領域に書き込むパケット分離手段と

を含むことを特徴とするデータ転送制御装置。

【請求項 2】 請求項 1 において、

前記第 1 のデータが、前記第 1 の層のプロトコルで使用されるコマンドデータであり、前記第 2 のデータが、アプリケーション層で使用されるデータであることを特徴とするデータ転送制御装置。

【請求項 3】 請求項 1 又は 2 において、

前記第 2 のデータ領域がフルである場合には、前記書き込み手段による前記第 2 のデータ領域への前記第 2 のデータの書き込みを禁止するためにフル信号をアクティブにし、前記第 2 のデータ領域がエンプティである場合には、前記第 2 の層による前記第 2 のデータ領域からの前記第 2 のデータの読み出しを禁止するためにエンプティ信号をアクティブにする領域管理手段を含むことを特徴とするデータ転送制御装置。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、

トランザクションを開始させる要求パケットを応答ノードに対して送信する際に、前記要求パケットに含まれるトランザクション識別情報の中に、応答ノード

から応答パケットを受信した際に行う処理を指示するための指示情報を含ませ、

応答ノードから応答パケットを受信した場合に、応答パケットのトランザクション識別情報が含む前記指示情報により指示される領域に、応答パケットの前記制御情報、前記第 1、第 2 のデータを書き込むことを特徴とするデータ転送制御装置。

【請求項 5】 バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

トランザクションを開始させる要求パケットを応答ノードに対して送信する際に、前記要求パケットに含まれるトランザクション識別情報の中に、応答ノードから応答パケットを受信した際に行う処理を指示するための指示情報を含ませる手段と、

応答ノードから応答パケットを受信した場合に、応答パケットのトランザクション識別情報が含む前記指示情報により指示される処理を行う手段と、

を含むことを特徴とするデータ転送制御装置。

【請求項 6】 請求項 5 において、

応答ノードから応答パケットを受信した場合に、応答パケットのトランザクション識別情報が含む前記指示情報により指示される領域に、前記応答パケットの制御情報、データを書き込むことを特徴とするデータ転送制御装置。

【請求項 7】 請求項 5 又は 6 において、

前記トランザクション識別情報の所与のビットが、前記指示情報を表すビットとして予め予約されることを特徴とするデータ転送制御装置。

【請求項 8】 請求項 5 乃至 7 のいずれかにおいて、

前記トランザクション識別情報が、IEEE 1394 の規格におけるトランザクションラベルであることを特徴とするデータ転送制御装置。

【請求項 9】 バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

ノード間でのパケット転送のためのサービスを提供するリンク手段と、

パケットを格納するためのランダムアクセス可能なパケット記憶手段と、

前記リンク手段を介して各ノードから転送されてくるパケットを前記パケット

記憶手段に書き込む書き込み手段と、

前記パケット記憶手段に書き込まれたパケットを読み出し、前記リンク手段に渡す読み出し手段とを含み、

前記パケット記憶手段が、パケットの制御情報が格納される制御情報領域と、パケットのデータが格納されるデータ領域とに分離され、前記データ領域が、第1の層用の第1のデータが格納される第1のデータ領域と、前記第1の層の上層である第2の層用の第2のデータが格納される第2のデータ領域とに分離されていることを特徴とするデータ転送制御装置。

【請求項10】 請求項9において、

前記第2のデータ領域に送信領域を確保するための送信領域スタートアドレスを記憶する第1のアドレス記憶手段と、

前記第2のデータ領域に送信領域を確保するための送信領域エンドアドレスを記憶する第2のアドレス記憶手段と、

前記第2のデータ領域に受信領域を確保するための受信領域スタートアドレスを記憶する第3のアドレス記憶手段と、

前記第2のデータ領域に受信領域を確保するための受信領域エンドアドレスを記憶する第4のアドレス記憶手段と、

を含むことを特徴とするデータ転送制御装置。

【請求項11】 請求項10において、

前記送信領域スタートアドレス及び前記受信領域スタートアドレスが、前記第2のデータ領域のスタートアドレスに設定され、前記送信領域エンドアドレス及び前記受信領域エンドアドレスが、前記第2のデータ領域のエンドアドレスに設定されることを特徴とするデータ転送制御装置。

【請求項12】 請求項10において、

前記送信領域スタートアドレス及び前記送信領域エンドアドレスの双方が、前記第2のデータ領域のスタートアドレス又はエンドアドレスのいずれか一方に設定され、前記受信領域スタートアドレスが前記第2のデータ領域のスタートアドレスに設定され、前記受信領域エンドアドレスが前記第2のデータ領域のエンドアドレスに設定されることを特徴とするデータ転送制御装置。

【請求項 13】 請求項 10において、

前記受信領域スタートアドレス及び前記受信領域エンドアドレスの双方が、前記第 2 のデータ領域のスタートアドレス又はエンドアドレスのいずれか一方に設定され、前記送信領域スタートアドレスが前記第 2 のデータ領域のスタートアドレスに設定され、前記送信領域エンドアドレスが前記第 2 のデータ領域のエンドアドレスに設定されることを特徴とするデータ転送制御装置。

【請求項 14】 請求項 1 乃至 13 のいずれかにおいて、

IEEE 1394 の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

【請求項 15】 請求項 1 乃至 14 のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、

処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする電子機器。

【請求項 16】 請求項 1 乃至 14 のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、

処理が施されるデータを取り込むための装置とを含むことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データ転送制御装置及びこれを含む電子機器に関し、特に、バスに接続される複数のノード間で IEEE 1394 などの規格に準じたデータ転送を行うデータ転送制御装置及びこれを含む電子機器に関する。

【0002】

【背景技術及び発明が解決しようとする課題】

近年、IEEE 1394 と呼ばれるインターフェース規格が脚光を浴びている。この IEEE 1394 は、次世代のマルチメディアにも対応可能な高速シリア

ルバスインターフェースを規格化したものである。このIEEE 1394によれば、動画像などのリアルタイム性が要求されるデータも扱うことができる。また、IEEE 1394のバスには、プリンタ、スキャナ、CD-RWドライブ、ハードディスクドライブなどのコンピュータの周辺機器のみならず、ビデオカメラ、VTR、TVなどの家庭用電化製品も接続できる。このため、電子機器のデジタル化を飛躍的に促進できるものとして期待されている。

【0003】

しかしながら、このIEEE 1394に準拠したデータ転送制御装置には次のような課題があることが判明した。

【0004】

即ち、現在のIEEE 1394規格によれば最大で400Mbpsの転送速度が実現可能となっている。しかし、現実には、処理のオーバーヘッドの存在に起因して、システム全体の実転送速度はこれよりもかなり低くなっている。つまり、CPU上で動作するファームウェアやアプリケーションソフトウェアが、送信データを準備したり、受信データを取り込んだりするなどの処理に多くの時間を要してしまい、バス上での転送速度が速くても、結局、高速なデータ転送を実現できない。

【0005】

特に、周辺機器に組み込まれるCPUは、パーソナルコンピュータなどのホストシステムに組み込まれるCPUに比べて処理能力が低い。このため、ファームウェア等の処理のオーバーヘッドの問題は、非常に深刻なものとなる。従って、このようなオーバーヘッドの問題を効果的に解消できる技術が望まれている。

【0006】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、ファームウェア等の処理のオーバーヘッドを軽減し、小規模なハードウェアで高速なデータ転送を実現できるデータ転送制御装置及びこれが用いられる電子機器を提供することにある。

【0007】

【課題を解決するための手段】

上記課題を解決するために本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、ノード間でのパケット転送のためのサービスを提供するリンク手段と、前記リンク手段を介して受信したパケットを、ランダムアクセス可能なパケット記憶手段に書き込む書き込み手段と、パケットの制御情報を、前記パケット記憶手段の制御情報領域に書き込み、パケットの第1の層（例えばトランザクション層）用の第1のデータを、前記パケット記憶手段の第1のデータ領域に書き込み、パケットの、前記第1の層の上層である第2の層（例えばアプリケーション層）用の第2のデータを、前記パケット記憶手段の第2のデータ領域に書き込むパケット分離手段とを含むことを特徴とする。

【0008】

本発明によれば、パケットの制御情報（例えばヘッダ、フッター）は制御情報領域に書き込まれ、パケットの第1のデータ（例えばトランザクション層用のデータ）は第1のデータ領域に書き込まれ、パケットの第2のデータ（例えばアプリケーション層用のデータ）は第2のデータ領域に書き込まれる。このようにすれば、第2のデータ領域から第2のデータを連続して読み出して、第2の層に転送することができるようになる。これにより、データ転送を飛躍的に高速化できる。

【0009】

なお本発明では、前記第1のデータが、前記第1の層のプロトコルで使用されるコマンドデータであり、前記第2のデータが、アプリケーション層で使用されるデータであることが望ましい。

【0010】

また本発明は、前記第2のデータ領域がフルである場合には、前記書き込み手段による前記第2のデータ領域への前記第2のデータの書き込みを禁止するためにフル信号をアクティブにし、前記第2のデータ領域がエンプティである場合には、前記第2の層による前記第2のデータ領域からの前記第2のデータの読み出しを禁止するためにエンプティ信号をアクティブにする領域管理手段を含むことを特徴とする。このようにすれば、領域管理手段による管理だけで、第2のデー

タ領域への第2のデータの書き込み処理や、第2のデータからの第2のデータの読み出し処理を制御できるようになり、データ転送の自動化、更には高速化が図れる。

【0011】

また本発明は、トランザクションを開始させる要求パケットを応答ノードに対して送信する際に、前記要求パケットに含まれるトランザクション識別情報の中に、応答ノードから応答パケットを受信した際に行う処理を指示するための指示情報を含ませ、応答ノードから応答パケットを受信した場合に、応答パケットのトランザクション識別情報が含む前記指示情報により指示される領域に、応答パケットの前記制御情報、前記第1、第2のデータを書き込むことを特徴とする。このようにすれば、応答ノードから応答パケットが返信されてきた時に、ファームウェア等が関与することなく、指示情報により指示される領域に応答パケットの制御情報、第1、第2のデータが自動的に書き込まれるようになる。従って、ファームウェア等の処理負担を格段に軽減できる。

【0012】

また本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、トランザクションを開始させる要求パケットを応答ノードに対して送信する際に、前記要求パケットに含まれるトランザクション識別情報の中に、応答ノードから応答パケットを受信した際に行う処理を指示するための指示情報を含ませる手段と、応答ノードから応答パケットを受信した場合に、応答パケットのトランザクション識別情報が含む前記指示情報により指示される処理を行う手段とを含むことを特徴とする。

【0013】

本発明によれば、応答ノードから応答パケットが返信されてきた時に、トランザクション識別情報（例えばトランザクションラベル）に含ませた指示情報に応じた処理が行われるようになる。従って、応答パケットの返信時に行われる処理を自動化できるようになり、ファームウェア等の処理負担を軽減できると共に、データ転送の高速化を図れる。

【0014】

また本発明は、応答ノードから応答パケットを受信した場合に、応答パケットのトランザクション識別情報が含む前記指示情報により指示される領域に、前記応答パケットの制御情報、データを書き込むことを特徴とする。なお、応答パケットが返信されてきた時に行う処理は、このような指示領域への書き込み処理には限定されない。

【0015】

また本発明は、前記トランザクション識別情報の所与のビットが、前記指示情報を表すビットとして予め予約されることを特徴とする。このようにすれば、要求パケットのトランザクション識別情報に指示情報を含ませる処理や、応答パケットのトランザクション識別情報に基づき指示情報を判別する処理を、簡易で負荷の低い処理にすることが可能になる。

【0016】

なお、前記トランザクション識別情報は、IEEE 1394の規格におけるトランザクションラベルであることが望ましい。

【0017】

また本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、ノード間でのパケット転送のためのサービスを提供するリンク手段と、パケットを格納するためのランダムアクセス可能なパケット記憶手段と、前記リンク手段を介して各ノードから転送されてくるパケットを前記パケット記憶手段に書き込む書き込み手段と、前記パケット記憶手段に書き込まれたパケットを読み出し、前記リンク手段に渡す読み出し手段とを含み、前記パケット記憶手段が、パケットの制御情報が格納される制御情報領域と、パケットのデータが格納されるデータ領域とに分離され、前記データ領域が、第1の層用の第1のデータが格納される第1のデータ領域と、前記第1の層の上層である第2の層用の第2のデータが格納される第2のデータ領域とに分離されていることを特徴とする。

【0018】

本発明によれば、パケット記憶手段が、制御情報領域、第1のデータ領域、第2のデータ領域に分離されるため、第2のデータ領域から第2のデータを連続し

て読み出したり、第2のデータ領域に第2のデータを連続して書き込むことができるようになる。これにより、データ転送を飛躍的に高速化できる。

【0019】

また本発明は、前記第2のデータ領域に送信領域を確保するための送信領域スタートアドレスを記憶する第1のアドレス記憶手段と、前記第2のデータ領域に送信領域を確保するための送信領域エンドアドレスを記憶する第2のアドレス記憶手段と、前記第2のデータ領域に受信領域を確保するための受信領域スタートアドレスを記憶する第3のアドレス記憶手段と、前記第2のデータ領域に受信領域を確保するための受信領域エンドアドレスを記憶する第4のアドレス記憶手段とを含むことを特徴とする。このようすれば、第2の層（例えばアプリケーション層）のデバイスの特性に応じて、第2のデータ領域を、例えば、送信専用領域として利用したり、受信専用領域として利用したり、送信及び受信の共用領域として利用したりすることができるようになる。

【0020】

また本発明は、前記送信領域スタートアドレス及び前記受信領域スタートアドレスが、前記第2のデータ領域のスタートアドレスに設定され、前記送信領域エンドアドレス及び前記受信領域エンドアドレスが、前記第2のデータ領域のエンドアドレスに設定されることを特徴とする。このようにすれば、第2のデータ領域を送信及び受信の共用領域として利用できるようになる。従って、他のノードから自ノードへの方向及び自ノードから他のノードへの方向という双方向でデータが転送される第2の層のデバイスに、最適なデータ転送制御装置を提供できる。しかも、送信時においても、受信時においても、第2のデータ領域の記憶容量を最大限に利用できるようになり、多くのデータを第2のデータ領域に記憶させることが可能になる。

【0021】

また本発明は、前記送信領域スタートアドレス及び前記送信領域エンドアドレスの双方が、前記第2のデータ領域のスタートアドレス又はエンドアドレスのいずれか一方に設定され、前記受信領域スタートアドレスが前記第2のデータ領域のスタートアドレスに設定され、前記受信領域エンドアドレスが前記第2のデー

タ領域のエンドアドレスに設定されることを特徴とする。このようにすれば、第2のデータ領域を受信専用領域として利用できるようになる。これにより、他のノードから自ノードへの方向にしか大きなデータが流れないような第2の層のデバイスに、最適なデータ転送制御装置を提供できる。

【0022】

また本発明は、前記受信領域スタートアドレス及び前記受信領域エンドアドレスの双方が、前記第2のデータ領域のスタートアドレス又はエンドアドレスのいずれか一方に設定され、前記送信領域スタートアドレスが前記第2のデータ領域のスタートアドレスに設定され、前記送信領域エンドアドレスが前記第2のデータ領域のエンドアドレスに設定されることを特徴とする。このようにすれば、第2のデータ領域を送信専用領域として利用できるようになる。これにより、自ノードから他のノードへの方向にしか大きなデータが流れないような第2の層のデバイスに、最適なデータ転送制御装置を提供できる。

【0023】

また、本発明では、IEEE 1394の規格に準拠したデータ転送を行うことが望ましい。

【0024】

また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする。また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、処理が施されるデータを取り込むための装置とを含むことを特徴とする。

【0025】

本発明によれば、他のノードから転送されたデータを電子機器において出力したり記憶したりする処理、電子機器において取り込んだデータを他のノードに転送したりする処理を高速化することが可能になる。また、本発明によれば、データ転送制御装置を小規模化できると共に、データ転送を制御するファームウェア

などの処理負担を軽減できるため、電子機器の低コスト化、小規模化などを図ることも可能になる。

【0026】

【発明の実施の形態】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。

【0027】

1. IEEE1394

まず、IEEE1394について簡単に説明する。

【0028】

1. 1 概要

IEEE1394 (IEEE1394-1995、P1394. a) では100～400Mbpsの高速なデータ転送が可能となっている (P1394. bでは800～3200Mbps)。また、転送速度が異なるノードをバスに接続することも許される。

【0029】

各ノードはツリー状に接続されており、1つのバスに最大で63個のノードが接続可能になっている。なお、バスブリッジを利用すれば約64000個のノードを接続することも可能である。

【0030】

IEEE1394では、パケットの転送方式として非同期転送とアイソクロナス転送が用意されている。ここで非同期転送は、信頼性が要求されるデータの転送に好適な転送方式であり、アイソクロナス転送は、リアルタイム性が要求される動画像や音声などのデータの転送に好適な転送方式である。

【0031】

1. 2 層構造

IEEE1394の層構造 (プロトコル構成) を図1に示す。

【0032】

IEEE1394のプロトコルは、トランザクション層、リンク層、物理層により構成される。また、シリアルバスマネージメントは、トランザクション層、

リンク、物理層をモニターしたり制御したりするものであり、ノードの制御やバスのリソース管理のための種々の機能を提供する。

【0033】

トランザクション層は、上位層にトランザクション単位のインターフェース（サービス）を提供し、下層のリンク層が提供するインターフェースを通して、リードトランザクション、ライトトランザクション、ロックトランザクション等のトランザクションを実施する。

【0034】

ここで、リードトランザクションでは、応答ノードから要求ノードにデータが転送される。一方、ライトトランザクションでは、要求ノードから応答ノードにデータが転送される。またロックトランザクションでは、要求ノードから応答ノードにデータが転送され、応答ノードがそのデータに処理を施して要求ノードに返信する。

【0035】

トランザクション層のサービスは、図2（A）に示すように要求、表示、応答、確認という4つのサービスにより構成される。

【0036】

ここで、トランザクション要求は、要求側がトランザクションを開始させるサービスであり、トランザクション表示は、要求が届いたことを応答側に通知するサービスである。また、トランザクション応答は、応答側の状態やデータを要求側に返すサービスであり、トランザクション確認は、応答側からの応答がきたことを要求側に通知するサービスである。

【0037】

リンク層は、アドレッシング、データチェック、パケット送受信のためのデータフレーミング、アイソクロナス転送のためのサイクル制御などを提供する。

【0038】

リンク層のサービスは、トランザクション層と同様に、図2（B）に示すように要求、表示、応答、確認という4つのサービスにより構成される。

【0039】

ここで、リンク要求は、パケットを応答側に転送するサービスであり、リンク表示は、応答側によるパケットの受信サービスである。また、リンク応答は、応答側によるアクノリッジメントの転送サービスであり、リンク確認は、要求側によるアクノリッジメントの受信サービスである。

【0040】

物理層は、リンク層により使用されるロジカルシンボルの電気信号への変換や、バスの調停や、バスの物理的インターフェースを提供する。

【0041】

物理層及びリンク層は、通常、データ転送制御装置（インターフェースチップ）などのハードウェアにより実現される。また、トランザクション層は、CPU上で動作するファームウェア（処理手段）や、ハードウェアにより実現される。

【0042】

なお、図3に示すように、IEEE 1394のトランザクション層の一部の機能を含む上位のプロトコルとして、SBP-2 (Serial Bus Protocol-2) と呼ばれるプロトコルが提案されている。

【0043】

ここでSBP-2は、SCSIのコマンドセットをIEEE 1394のプロトコル上で利用可能にするために提案されたものである。このSBP-2を用いれば、既存のSCSI規格の電子機器で使用されていたSCSIのコマンドセットに最小限の変更を加えて、IEEE 1394規格の電子機器に使用できるようになる。従って、電子機器の設計や開発を容易化できる。また、SCSIのコマンドだけではなく、デバイス固有のコマンドもカプセル化して利用できるように、非常に汎用性が高い。

【0044】

このSBP-2では、まず、イニシエータ（パーソナルコンピュータ等）が、ログインやフェッチ・エージェントの初期化のためのORB (Operation Request Block) を作成して、ターゲット（プリンタ、CD-RWドライブ等）に送る。次に、イニシエータは、コマンド（リードコマンド、ライトコマンド）を含むORB（コマンドブロックORB）を作成して、その作成したORBのアドレスを

、ターゲットに知らせる。そして、ターゲットは、そのアドレスをフェッチすることにより、イニシエータが作成したORBを取得する。ORBに含まれるコマンドがリードコマンドであった場合には、ターゲットは、ブロックライトトランザクションを発行して、イニシエータのデータバッファ（メモリ）にターゲットのデータを送信する。一方、ORBに含まれるコマンドがライトコマンドであった場合には、ターゲットは、ブロックリードトランザクションを発行して、イニシエータのデータバッファからデータを受信する。

【0045】

このSBP-2によれば、ターゲットは、自身が都合の良いときにトランザクションを発行して、データを送受信できる。従って、イニシエータとターゲットが同期して動く必要がなくなるため、データ転送効率を高めることができる。

【0046】

なお、IEEE 1394の上位プロトコルとしては、SBP-2以外にも、FCP (Function Control Protocol) と呼ばれるプロトコルなども提案されている。

【0047】

2. 全体構成

次に、本実施形態のデータ転送制御装置の全体構成の例について図4を用いて説明する。

【0048】

図4において、PHYインターフェース10は、PHYデバイス（物理層のデバイス）とのインターフェースを行う回路である。

【0049】

リンクコア20（リンク手段）は、リンク層のプロトコルやトランザクション層のプロトコルの一部をハードウェアにより実現する回路であり、ノード間でのパケット転送のための各種サービスを提供する。レジスタ22は、これらのプロトコルを実現したリンクコア20を制御するためのレジスタである。

【0050】

FIFO (ATF) 30、FIFO (ITF) 32、FIFO (RF) 34は

、各々、非同期送信用、アイソクロナス送信用、受信用のFIFOであり、例えばレジスタや半導体メモリなどのハードウェアにより構成される。本実施形態では、これらのFIFO 30、32、34の段数は非常に少ない。例えば1つのFIFOの段数は、好ましくは3段以下であり、更に好ましくは2段以下となる。

【0051】

DMAC 40（読み出し手段）、DMAC 42（読み出し手段）、DMAC 44（書き込み手段）は、各々、ATF用、ITF用、RF用のDMAコントローラである。これらのDMAC 40、42、44を用いることで、CPU 66に介入されることなく、RAM 80とリンクコア 20との間でのデータ転送が可能になる。なお、レジスタ 46は、DMAC 40、42、44などを制御するレジスタである。

【0052】

ポートインターフェース 50は、アプリケーション層のデバイス（例えばプリンタの印字処理を行うデバイス）とのインターフェースを行う回路である。本実施形態では、このポートインターフェース 50を用いて、例えば8ビットのデータ転送が可能になっている。

【0053】

FIFO（PF） 52は、アプリケーション層のデバイスとの間でのデータ転送のためのFIFOであり、DMAC 54は、PF用のDMAコントローラである。レジスタ 56は、ポートインターフェース 50やDMAC 54を制御するレジスタである。

【0054】

SBP-2コア 84は、SBP-2のプロトコルの一部をハードウェアにより実現する回路である。レジスタ 88は、SBP-2コア 84を制御するためのレジスタである。DMAC（SBP-2用） 86は、SBP-2コア 84用のDMAコントローラである。

【0055】

RAM領域管理回路 300は、RAM 80の各領域を管理するための回路である。RAM領域管理回路 300は、RAM 80の各領域がフルになったり、エン

プティになった場合に、各種のフル信号、エンプティ信号を用いてDMAC40、42、44、54、86を制御する。

【0056】

CPUインターフェース60は、データ転送制御装置をコントロールするCPU66とのインターフェースを行う回路である。CPUインターフェース60は、アドレスデコーダ62、データ同期化回路63、割り込みコントローラ64を含む。クロック制御回路68は、本実施形態で使用されるクロックを制御するものであり、PHYデバイス（PHYチップ）から送られてくるSCLKや、マスタークロックであるHCLKが入力される。

【0057】

バッファマネージャ70は、RAM80とのインターフェースを管理する回路である。バッファマネージャ70は、バッファマネージャの制御のためのレジスタ72、RAM80へのバス接続を調停する調停回路74、各種の制御信号を生成するシーケンサ76を含む。

【0058】

RAM80は、ランダムアクセス可能なパケット記憶手段として機能するものであり、その機能は例えばSRAM、SDRAM、DRAMなどにより実現される。

【0059】

なおRAM80は、本実施形態のデータ転送制御装置に内蔵させることが特に望ましいが、その一部又は全部を外付けにすることも可能である。

【0060】

図5に、RAM80のメモリマップの一例を示す。図5に示すように本実施形態では、RAM80が、ヘッダ領域（AR2、AR3、AR4、AR6）とデータ領域（AR5、AR7、AR8、AR9）に分離されている。そして、パケットのヘッダ（広義には制御情報）はヘッダ領域に格納され、パケットのデータ（ORB、ストリーム）はデータ領域に格納される。

【0061】

また本実施形態では、図5に示すように、RAM80のデータ領域（AR5、

AR 7、AR 8、AR 9) が、ORB 領域 (AR 5、AR 7) とストリーム領域 (AR 8、AR 9) に分離されている。

【0062】

更に本実施形態では、RAM 80 が、受信領域 (AR 2、AR 4、AR 5、AR 9) と送信領域 (AR 3、AR 6、AR 7、AR 8) に分離されている。

【0063】

なお、ORB (第 1 の層用の第 1 のデータ) は、上述したように SBP-2 用のデータ (コマンド) である。一方、ストリーム (第 1 の層より上層の第 2 の層用の第 2 のデータ) は、アプリケーション層用のデータ (プリンタの印字データ、CD-RW の読み出し・書き込みデータ、スキャナによる取り込み画像データ等) である。

【0064】

また、AR 1、AR 2、AR 3 に示す HW (ハードウェア) 用ページテーブル領域、HW 用受信ヘッダ領域、HW 用送信ヘッダ領域は、図 4 に示す SBP-2 コア 84 (SBP-2 をハードウェアにより実現する回路) が、ページテーブルや受信ヘッダや送信ヘッダを書き込んだり読み出したりするための領域である。

【0065】

また、図 5 において AR 4、AR 5、AR 8、AR 9 に示す領域は、いわゆるリングバッファ構造になっている。

【0066】

さて、図 4 のバス 90 (或いはバス 92、94) は、アプリケーションに接続されるものである (第 1 のバス)。またバス 95 (或いはバス 96) はデータ転送制御装置をコントロールし、或いはデータをリード・ライトするためのものであり、データ転送制御装置をコントロールするデバイス (例えば CPU) に電氣的に接続される (第 2 のバス)。またバス 100 (或いはバス 102、104、105、106、107、108、109) は、物理層のデバイス (PHY デバイス) に電氣的に接続されるものである (第 3 のバス)。また、バス 110 は、ランダムアクセス可能な記憶手段である RAM 80 に電氣的に接続されるものである (第 4 のバス)。またバス 99 は、SBP-2 コア 84 がハードウェアにより

SBP-2を実現するためのヘッダ情報やページテーブル情報をリード・ライトするためのものである（第5のバス）。

【0067】

バッファマネージャ70の調停回路74は、DMAC40、42、44、CPUインターフェース60、DMAC86、54からのバスアクセス要求の調停を行う。そして、この調停結果に基づいて、各々、バス105、107、109、96、99、94のいずれかと、RAM80のバス110との間にデータの経路が確立される（第1、第2、第3、第5のバスのいずれかと第4のバスとの間にデータ経路が確立される）。

【0068】

本実施形態の1つの特徴は、ランダムアクセスが可能でありパケットを格納するRAM80を設けると共に、互いに分離されるバス90、95、99、100と、これらのバスをRAM80のバス110に接続するための調停回路74とを設けた点にある。

【0069】

例えば図6に、本実施形態と構成の異なるデータ転送制御装置の例を示す。このデータ転送制御装置では、リンクコア902は、PHYインターフェース900、バス922を介してPHYデバイスと接続される。また、リンクコア902は、FIFO904、906、908、CPUインターフェース910、バス920を介してCPU912に接続される。そして、CPU912は、バス924を介して、CPUにローカルなメモリであるRAM914に接続される。

【0070】

図6の構成のデータ転送制御装置を用いた場合のデータ転送の手法について図7を用いて説明する。PHYデバイス930を介して他のノードから送られてきた受信パケットは、バス922、データ転送制御装置932、バス920を介してCPU912が受け取る。そして、CPU912は、受け取った受信パケットをバス924を介してRAM914に一旦書き込む。そして、CPU912は、RAM914に書き込まれた受信パケットをバス924を介して読み出し、アプリケーション層が使用できるように加工し、バス926を介してアプリケーション

ン層のデバイス 934 に転送する。

【0071】

一方、アプリケーション層のデバイス 934 からのデータを転送する場合には、CPU 912 は、このデータを RAM 914 に書き込む。そして、RAM 914 のデータにヘッダを付加することで IEEE 1394 に準拠したパケットを生成する。そして生成されたパケットは、データ転送制御装置 932、PHY デバイス 930 などを介して他のノードに送信される。

【0072】

しかしながら、このような図 7 のデータ転送手法によると、CPU 912 の処理負担が非常に重くなる。従って、ノード間を接続するシリアルバスの転送速度が高速になっても、CPU 912 の処理のオーバーヘッドなどに起因して、システム全体の実転送速度は低くなり、結局、高速なデータ転送を実現できない。

【0073】

これに対して、本実施形態では図 8 に示すように、データ転送制御装置 120、アプリケーション層のデバイス 124 間のバス 90 と、CPU バス 96 と、データ転送制御装置 120、RAM 80 間のバス 110 とが互いに分離されている。従って、CPU バス 96 をデータ転送の制御のみに使用できるようになる。また、バス 90 を占有して、データ転送制御装置 120、アプリケーション層のデバイス 124 間でデータ転送を行うことができるようになる。例えば、データ転送制御装置 120 が組み込まれる電子機器がプリンタである場合には、バス 90 を占有して印字データを転送できるようになる。この結果、CPU 66 の処理負担を軽減でき、システム全体の実転送速度を高めることができる。また CPU 66 として安価なものを採用できると共に、CPU バス 96 として高速なバスを使用する必要性がなくなる。このため、電子機器の低コスト化、小規模化を図れるようになる。

【0074】

3. 本実施形態の特徴

3. 1 データ領域の分離 (ORB 領域とストリーム領域への分離)

本実施形態の第 1 の特徴は、図 4 の RAM 80 を、図 5 に示すようにヘッダ領

域（AR2、AR3、AR4、AR6）とデータ領域（AR5、AR7、AR8、AR9）に分離すると共に、データ領域を、ORB領域（AR5、AR7）とストリーム領域（AR8、AR9）に分離している点にある。

【0075】

即ち、RAMをヘッダ領域とデータ領域に分離することで、ファームウェアは、ヘッダ領域からヘッダを連続して読み出したり、ヘッダ領域にヘッダを連続して書き込むことができるようになる。従って、ファームウェアの処理負担をある程度軽減できるという利点がある。しかしながら、データ転送の更なる高速化という観点からは、ヘッダ領域とデータ領域の分離だけでは不十分であることが判明した。

【0076】

例えば図9では、受信パケットがヘッダとデータに分離され、ヘッダ1、2、3がヘッダ領域に書き込まれ、データ1、2、3がデータ領域に書き込まれている。

【0077】

ここで、データには、前述のように、SBP-2（第1の層）用のORB（第1のデータ）と、上層であるアプリケーション層（第2の層）用のストリームとがある。従って、RAMをヘッダ領域とデータ領域に分離しただけでは、図9のD1、D2、D3に示すように、データ領域においてORBとストリームとが混在するようになってしまう。

【0078】

このため、例えば、RAMからアプリケーション層のデバイスにストリームを転送する場合には、次のような処理が必要になる。即ち、まず、読み出しアドレス（データポインタ）をD4の位置に設定してストリーム11、12、13を読み出し、次に、読み出しアドレスをD5の位置に設定してストリーム21、22、23を読み出す。その後、読み出しアドレスをD6の位置に設定してストリーム31、32、33を読み出す。

【0079】

このように、RAMを単にヘッダ領域とデータ領域に分離しただけでは、アプ

リケーション層のデバイスへのストリーム転送の際に、ファームウェアによる読み出しアドレスの制御等が必要になり、ファームウェアの処理負担をそれほど軽減できない。また、データ領域から連続してストリームを読み出すことができないため、データ転送制御装置の実転送速度をそれほど向上できない。

【0080】

一方、図10では、データ領域をORB領域とストリーム領域に分離している。このようにすれば、ファームウェア（トランザクション層）は、ORB領域からORB1、2、3を連続して読み出すことができる。また、ファームウェアを介在させることなく、ストリーム11～33をRAMのストリーム領域から連続して読み出し、アプリケーション層のデバイスへ転送できるようになる。即ち、図11に示すように、他のノード123（例えばパーソナルコンピュータ）とアプリケーション層のデバイス（例えばプリンタの印字処理を行うデバイス）との間で、ファームウェア（CPU）66の介在無しに、ストリーム（例えば印字データ）を高速に転送できるようになる。この結果、図9に比べて、ファームウェアの処理負担を格段に軽減できると共に、データ転送を飛躍的に高速化できるようになる。

【0081】

なお、図10では、本実施形態のデータ転送制御装置120がストリームを受信する場合（方向DR1に示すように他のノード123からアプリケーション層のデバイス124にストリームを転送する場合）について示している。しかしながら、データ転送制御装置120がストリームを送信する場合（方向DR2に示すようにアプリケーション層のデバイス124から他のノード123にストリームを転送する場合）においても、データ領域を送信ORB領域（図5のAR7）と送信ストリーム領域（AR8）に分離することで、データ転送の高速化を図れる。

【0082】

さて、データ領域をORB領域とストリーム領域に分離すると、次のような効果も得られる。

【0083】

例えば図12では、RAM領域管理回路300がストリーム領域の管理を行っている。より具体的には、ストリーム領域に多くのストリームが書き込まれて、ストリーム領域がフルになると、RAM領域管理回路300は、信号STRMFULLをアクティブにする。すると、このSTRMFULLを受けたDMAC44（書き込み手段）は、RAMへの書き込み要求WREQをアクティブにしないようにする。これにより、ストリーム領域にストリームが書き込まれないようになる。

【0084】

一方、ストリーム領域から多くのストリームが読み出されて、ストリーム領域がエンプティになると、RAM領域管理回路300は、信号STRMEMPTYをアクティブにする。すると、このSTRMEMPTYを受けたDMAC54（読み出し手段）は、RAMへの読み出し要求RREQをアクティブにしないようにする。これにより、ストリーム領域からストリームが読み出されないようになる（アプリケーション層のデバイスにストリームが転送されないようになる）。

【0085】

以上のように、データ領域をORB領域とストリーム領域に分離すれば、ストリーム領域がフルであればストリーム領域への書き込みを禁止し、エンプティであれば読み出しを禁止するという簡単な制御を行うだけで済むようになる。従って、ファームウェアを介在させることなくデータ転送を制御できるようになる。この結果、ファームウェアの処理負担を軽減できる。また、処理能力が低いファームウェアが関与せず、ハードウェアによりデータ転送が制御されるため、データ転送を格段に高速化できるようになる。

【0086】

3. 2 トランザクションラベルを利用した書き込み領域の切り替え

IEEE1394においては、各トランザクションを識別するための情報として、トランザクションラベルもIと呼ばれるものが使用される。

【0087】

即ち、トランザクションの要求ノードは、要求パケットの中にトランザクションラベルt1を含ませて、応答ノードに送信する。そして、この要求パケットを

受信した応答ノードは、応答パケットの中に、上記と同一の $t1$ を含ませて、要求ノードに返信する。要求ノードは、返信された応答パケットに含まれる $t1$ を調べることで、その応答パケットが、自身が要求したトランザクションに対応する応答であることを確認できるようになる。

【0088】

トランザクションラベル $t1$ は、応答ノードとの関係においてユニークであれば十分である。より具体的には、例えば要求ノード L が応答ノード M に対して $t1 = N$ のトランザクションを発行した場合には、そのトランザクションが未完了の間は、要求ノード L は応答ノード M に対して、 $t1 = N$ が付けられた他のトランザクションを発行することはできない。即ち、各トランザクションは、トランザクションラベル $t1$ とソース ID とディスティネーション ID とによりユニークに特定されることになる。逆に言えば、トランザクションラベル $t1$ は、上記の制約が守られている限り、どのような値を使うこともでき、他のノードは、どのような $t1$ も受け入れなければならない。

【0089】

さて、要求ノードが要求パケットを送信し、応答パケットの返信を待つ場合、応答パケットが返信されてきた際に行う処理が、既に決まっている場合がある。そこで、本実施形態は、上記のようなトランザクションラベル $t1$ の性質に着目して、次のような手法を採用している。

【0090】

即ち、図 13 (A) に示すように、トランザクションを開始させる要求パケットを応答ノードに対して送信する際に、要求パケットに含まれるトランザクションラベル $t1$ (広義にはトランザクション識別情報) の中に、応答パケットの返信時に行うべき処理を指示する指示情報を含ませる。そして、応答ノードから応答パケットを受信した際に、 $t1$ に含まれる指示情報に応じた処理を実行するようになる。

【0091】

このようにすれば、応答パケットが返送されてきた際に、ファームウェアが関与することなく、 $t1$ に含まれる指示情報に応じた処理をハードウェアにより実

行できるようになる。これにより、ファームウェアの処理負担を軽減できると共に、データ転送の高速化を図れるようになる。

【0092】

より具体的には、本実施形態では、応答ノードから応答パケットを受信した場合に、 $t1$ に含まれる指示情報により指示される領域に、その応答パケットを格納するようにしている。

【0093】

即ち図13 (B) に示すように、トランザクションラベル $t1$ のビット5、4を、指示情報を表すビットとして予め予約しておく。

【0094】

そして、返信されてきた応答パケットをHW（ハードウェア）用領域に書き込む場合には、要求パケットの $t1$ のビット5を1にセットして、応答ノードに送信する。一方、返信されてきた応答パケットをFW（ファームウェア）用領域に書き込む場合には、要求パケットの $t1$ のビット5を0にセットして、応答ノードに送信する。

【0095】

また、返信されてきた応答パケットをストリーム領域に書き込む場合には、要求パケットの $t1$ のビット4を1にセットして、応答ノードに送信する。一方、返信されてきた応答パケットをORB領域に書き込む場合には、要求パケットの $t1$ のビット4を0にセットして、応答ノードに送信する。

【0096】

このようにすれば、応答パケットが返信されてきた時に、図14に示すように応答パケットのヘッダ、データがRAMの各領域に書き込まれるようになる。

【0097】

即ち、 $t1 = 1 \times \times \times \times \times$ （ \times は、ドント・ケアという意味）である場合には、応答パケットのヘッダは、HW用受信ヘッダ領域に書き込まれ、 $t1 = 0 \times \times \times \times \times$ である場合には、FW用受信ヘッダ領域に書き込まれる。

【0098】

また、 $t1 = 11 \times \times \times \times$ である場合には、応答パケットのデータは、HW用

受信ストリーム領域に書き込まれ、 $t1 = 10 \times \times \times \times$ である場合には、HW用受信ORB領域に書き込まれる。また $t1 = 01 \times \times \times \times$ である場合には、応答パケットのデータは、FW用受信ストリーム領域に書き込まれ、 $t1 = 00 \times \times \times \times$ である場合には、FW用受信ORB領域に書き込まれる。

【0099】

このようにすることで、ファームウェアを介在させることなく、応答パケットのヘッダ、データを、ハードウェア（回路）によりRAMの各領域に自動的に書き込むことができるようになる。そして、RAMに応答パケットを書き込む処理を行うハードウェアの構成も簡素化でき、データ転送制御装置の小規模化を図れる。

【0100】

また、図10で説明したように、パケットのヘッダをヘッダ領域に、ORBをORB領域に、ストリームをストリーム領域に書き込むことができるようになるため、ファームウェアの処理負担の軽減化、データ転送の高速化も図れるようになる。

【0101】

図15に、 $t1$ に基づいてRAMの各領域にパケットのヘッダ、データを書き込む処理の詳細な例を示す。

【0102】

まず、受信パケットの最初のクワドレットに含まれるデスティネーションIDが、自ノードのIDと一致するか否かを判断する（ステップS1）。そして、自ノード宛のパケットでなかった場合には、そのパケットは破棄する（ステップS2）。

【0103】

次に、受信パケットの最初のクワドレットに含まれるトランザクションコード $tcode$ を調べ、受信パケットが、ブロック・リード・レスポンスのパケットなのか否かを判断する（ステップS3）。そして、ブロック・リード・レスポンスのパケットでない場合には、ステップS10に移行する。

【0104】

次に、受信パケットの最初のクワドレットに含まれるトランザクションラベル $t1$ のビット 5、4 をステップ S 4、S 5、S 6 で判断し、ビット 5、4 が (1、1) の場合にはステップ S 7 に、(1、0) の場合にはステップ S 8 に、(0、1) の場合にはステップ S 9 に、(0、0) の場合にはステップ S 10 に移行する。

【0105】

そして、ステップ S 7 に移行した場合には HW 用受信ストリーム領域に、ステップ S 8 に移行した場合には HW 用受信 ORB 領域に、ステップ S 9 に移行した場合には FW 用受信ストリーム領域に、ステップ S 10 に移行した場合には FW 用受信 ORB 領域に、受信パケットのデータを転送する。そして、 $t1$ のビット 5 が 1 の場合には、受信パケットのヘッダを HW 用受信ヘッダ領域に転送し (ステップ S 11)、 $t1$ のビット 5 が 0 の場合には、受信パケットのヘッダを FW 用受信ヘッダ領域に転送する (ステップ S 12)。

【0106】

なお、図 15 のステップ S 3 では、受信パケットがブロック・リード・レスポンスのパケットではない場合にステップ S 10 に移行している。これは、ブロック・リード・レスポンス以外の受信パケットの大半は、コマンドを含むパケットであると考えられ、コマンドを含むパケットは、FW 用受信 ORB 領域、FW 用受信ヘッダ領域に格納して、ファームウェアに処理させるのが妥当であると考えられるからである。

【0107】

3. 3 受信ストリーム領域、送信ストリーム領域の切り分け

本実施形態では図 16 に示すように、ストリーム領域 (第 2 のデータ領域) に送信ストリーム領域を確保するための送信領域スタートアドレス TS、送信領域エンドアドレス TE を記憶するレジスタ TSR (第 1 のアドレス記憶手段)、TER (第 2 のアドレス記憶手段) を設けている。また、ストリーム領域に受信ストリーム領域を確保するための受信領域スタートアドレス RS、受信領域エンドアドレス RE を記憶するレジスタ RSR (第 3 のアドレス記憶手段)、RER (第 4 のアドレス記憶手段) を設けている。

【0108】

なお、本実施形態では、レジスタTSR、TER、RSR、RERは、ファームウェア（CPU）により書き換え可能なレジスタになっている。但し、図16においてレジスタTSR、RERの少なくとも一方については、固定値を記憶するようにして、ファームウェアが書き換えられないようにしてもよい。

【0109】

また、図16では、受信ストリーム領域の上に送信ストリーム領域が位置しているが、受信ストリーム領域の下に送信ストリーム領域が位置するようにしてもよい。そして、この場合には、レジスタRSR、TERの少なくとも一方を、固定値を記憶するようにして、ファームウェアが書き換えられないようにしてもよい。

【0110】

図16に示すようなレジスタTSR、TER、RSR、RERを設けることで、図17（A）、（B）、（C）、（D）に示すような、種々のモードでの領域確保が可能になる。

【0111】

例えば、図17（A）の第1のモードでは、レジスタTSRが記憶する送信領域スタートアドレスTS、レジスタRSRが記憶する受信領域スタートアドレスRSが、ストリーム領域のスタートアドレスSに設定されている。また、レジスタTERが記憶する送信領域エンドアドレスTE、レジスタRERが記憶する受信領域エンドアドレスREが、ストリーム領域のエンドアドレスEに設定されている。

【0112】

この第1のモードによれば、ストリーム領域の全領域を、送信用及び受信用の両方に共用できるようになる。

【0113】

また、図17（B）の第2のモードでは、送信領域スタートアドレスTS、送信領域エンドアドレスTE、受信領域スタートアドレスRSが、ストリーム領域のスタートアドレスSに設定され、受信領域エンドアドレスREがストリーム領

域のエンドアドレス E に設定されている (TS 及び TE を E に設定してもよい)。

【0114】

この第2のモードによれば、ストリーム領域の全領域を受信ストリーム領域として使用できるようになる。

【0115】

また、図17 (C) の第3のモードでは、送信領域スタートアドレス TS がストリーム領域のスタートアドレス S に設定され、受信領域スタートアドレス RS、受信領域エンドアドレス RE、送信領域エンドアドレス TE がストリーム領域のエンドアドレス E に設定されている (RS 及び RE を S に設定してもよい)。

【0116】

この第3のモードによれば、ストリーム領域の全領域を送信ストリーム領域として使用できるようになる。

【0117】

また、図17 (D) の第4のモードでは、送信領域スタートアドレス TS がストリーム領域のスタートアドレス S に設定され、送信領域エンドアドレス TE 及び受信領域スタートアドレス RS が、ストリーム領域の境界アドレス B に設定され、受信領域エンドアドレス RE がストリーム領域のエンドアドレス E に設定されている。

【0118】

この第4のモードによれば、ストリーム領域の一部の領域を送信ストリーム領域に使用し、他の領域を受信ストリーム領域に使用できるようになる。

【0119】

例えば、CD-RWドライブ、ハードディスクドライブなどの電子機器では、図11のDR1、DR2の双方向でストリームが転送される。そして、通常、DR1方向のストリーム転送とDR2方向のストリーム転送とが同じ時間に行われることはない。従って、この場合には、図17 (A) に示す第1のモードで領域を確保することが望ましい。このようにすれば、ストリーム領域の記憶容量が例えば4 Kバイトであった場合には、送信時においても受信時においても、4 Kバ

イトの記憶容量を確保できるようになり、RAMを効率的に使用できるようになる。

【0120】

なお、図18の比較例では、ストリーム領域に送信ストリーム領域と受信ストリーム領域を確保するために、ストリーム領域のスタートアドレスSを記憶するレジスタSR、ストリーム領域の境界アドレスBを記憶するレジスタBR、ストリーム領域のエンドアドレスEを記憶するレジスタERを設けている。

【0121】

しかしながら、この図18の比較例では、図17(B)、(C)、(D)に示す第2、第3、第4のモードの設定はできるが、図17(A)に示す第1のモードの設定はできない。従って、CD-RWドライブ、ハードディスクドライブにデータ転送制御装置を組み込んだ場合には、図17(D)の第4のモードのように領域を確保しなければならず、図17(A)の第1のモードに比べて、RAMを効率的に使用できないという欠点がある。

【0122】

さて、プリンタなどの電子機器では、図11の片方向DR1でストリームが転送される(データ転送制御装置がストリームを受信する)。従って、この場合には、図17(B)の第2のモードで領域を確保し、全領域を受信ストリーム領域に設定することが望ましい。このようにすれば、ストリーム領域の全領域を有効利用してストリームを転送できるようになる。

【0123】

また、スキャナやCD-ROMなどの電子機器では、図11の片方向DR2でストリームが転送される(データ転送制御装置がストリームを送信する)。従って、この場合には、図17(C)の第3のモードで領域を確保し、全領域を送信ストリーム領域に設定することが望ましい。このようにすれば、ストリーム領域の全領域を有効利用してストリームを転送できるようになる。

【0124】

なお、ストリーム領域をキャッシュメモリのように使用する電子機器では、図17(D)に示すような第4のモードで領域を確保することが望ましい。

【0125】

4. 詳細例

4. 1 受信側の詳細な構成

次に受信側の詳細な構成について説明する。図19に、リンクコア20（リンク手段）、FIFO34、DMAC44（書き込み手段）の詳細な構成の一例を示す。

【0126】

リンクコア20は、バス監視回路130、直列・並列変換回路132、パケット整形回路160を含む。

【0127】

ここで、バス監視回路130は、PHYインターフェース10を介してPHYデバイスに接続される8ビット幅のデータバスD、2ビット幅のコントロールバスCTLを監視する回路である。

【0128】

直列・並列変換回路132は、データバスDのデータを32ビットのデータに変換する回路である。

【0129】

パケット整形回路160は、各ノードから転送されてきたパケットを上層が使用できるように整形する回路である。例えば図20（A）に、IEEE1394規格の、非同期でブロックデータを有するパケットのフォーマットを示す。一方、図20（B）に、RAM80のヘッダ領域に格納される、非同期受信でブロックデータを有するパケットのヘッダ部分のフォーマットを示す。このように本実施形態では、図20（A）に示すフォーマットのパケットを、ファームウェアなどの上層が使用できるように、図20（B）に示すフォーマットのパケットに整形している。

【0130】

パケット整形回路160は、パケット診断回路142、シーケンサ167、バッファ168、セクタ170を含み、パケット診断回路142は、TAG生成回路162、ステータス生成回路164、エラーチェック回路166を含む。

【0131】

ここでパケット診断回路142は、パケットの診断を行う回路である。TAG生成回路162は、パケットのヘッダ、データ等を書き込む領域を区別するための情報であるTAGを生成する回路であり、ステータス生成回路164は、パケットに付加する各種のステータスを生成する回路である。また、エラーチェック回路166は、パケットに含まれるパリティやCRCなどのエラーチェック情報をチェックしてエラーを検出する回路である。

【0132】

シーケンサ167は各種の制御信号を生成するものである。バッファ168、セクタ170は、直列・並列変換回路132からのDI、パケット診断回路142からのステータス、DMAC44からのデータポインタDPのいずれかを、パケット診断回路142からの信号SELにより選択するためのものである。

【0133】

FIFO34は、リンクコア20からの出力データであるRDの位相と、RAM80への書き込みデータであるWDATAの位相とを調整するためのバッファとして機能するものであり、FIFO状態判断回路35を含む。FIFO状態判断回路35は、FIFO34が空になると、信号EMPTYをアクティブにし、FIFO34がフルになると、信号FULLをアクティブにする。

【0134】

DMAC44は、パケット分離回路180、アクセス要求実行回路190、アクセス要求発生回路192を含む。

【0135】

ここでパケット分離回路180は、パケット整形回路160により整形されたパケットをTAG(DTAG)に基づいてデータ、ヘッダ等に分離して、RAMの各領域(図5参照)に書き込む処理を行う。

【0136】

アクセス要求実行回路190は、リンクコア20からのアクセス要求を実行するための回路である。アクセス要求実行回路190は、FIFO状態判断回路35からのFULLがアクティブになると、FFULLをアクティブにする。パケ

ット整形回路160内のシーケンサ167は、FFULLがアクティブでないことを条件に、RD (R x D a t a) のストロブ信号であるRDSをアクティブにする。

【0137】

なおRFAILは、受信における失敗を、シーケンサ167がアクセス要求実行回路190に対して知らせるための信号である。

【0138】

アクセス要求発生回路192は、RAM80へのアクセス要求を発生するための回路である。アクセス要求発生回路192は、バッファマネージャ70からの書き込みアクノリッジメントであるWACKやFIFO状態判断回路35からのEMPTYなどを受け、書き込み要求であるWREQをバッファマネージャ70に出力する。

【0139】

4. 2 パケットの分離及びRAMの各領域への書き込み

TAG生成回路162は、図21に示すような4ビットのTAGを生成している。そして、リンクコア20は、パケット (図20 (B) 参照) のスタート (最初の1クワドレット)、ヘッダ、データ (ORB、ストリーム) をRDとしてFIFO34に出力する際に、この生成された4ビットのTAGも同時にFIFO34に出力する。そして、本実施形態では、このTAGを利用することで、パケットを分離し、RAMの各領域に書き込んでいる (図5、図10参照)。

【0140】

より具体的には、図19のTAG判別回路182が、FIFO34から出力されるDTAG (=TAG) を判別し、FIFO34の出力WDATAの書き込み領域を決める。そして、アドレス発生回路188が含むポインタ更新回路184が、この決められた領域において、ポインタ (データポインタ、ヘッダポインタ) を順次更新 (インクリメント、デクリメント) する。そして、アドレス発生回路188は、この順次更新されるポインタが指すアドレスを発生して、WADRとしてバッファマネージャ70に出力する。このようにすることで、パケットのヘッダ、ORB、ストリームが、図5に示すようなRAMの各領域に書き込まれ

るようになる。

【0141】

なお、アドレス発生回路188は、データポインタDP（受信ORB領域のデータポインタ、受信ストリーム領域のデータポインタ等）をパケット整形回路160に出力しており、パケット整形回路160は、このデータポインタをパケットのヘッダに埋め込んでいる（図20（B）のC30参照）。これにより、ヘッダ領域に格納されるヘッダとデータ領域に格納されるデータとを対応づけることが可能になる。

【0142】

さて、TAG生成回路162は、図13（A）、（B）で説明したトランザクションラベルt1を用いて図21のTAGを生成し、FIFO34に出力する。例えば、リンクコア20の出力RDがヘッダであり、トランザクションラベルt1が1×××××（×は、ドント・ケアという意味）であった場合には、TAG生成回路162は（1001）又は（1010）というTAGを生成する。これにより、図14に示すように、受信パケットのヘッダがHW（ハードウェア）用受信ヘッダ領域に書き込まれるようになる。なお、ここでHW（ハードウェア）用とは、図4のSBP-2コア84用という意味である。

【0143】

また、リンクコア20の出力RDがヘッダであり、t1が0×××××であった場合には、TAG生成回路162は（0001）又は（0010）というTAGを生成する。これにより、図14に示すように、受信パケットのヘッダがFW用受信ヘッダ領域に書き込まれるようになる。

【0144】

また、RDがデータでありt1が11××××の場合には、（1101）というTAGを生成する。これにより、受信パケットのデータ（ストリーム）がHW用受信ストリーム領域に書き込まれるようになる。

【0145】

また、RDがデータでありt1が10××××の場合には、（1100）というTAGを生成する。これにより、受信パケットのデータ（ORB）がHW用受

信ORB領域に書き込まれるようになる。

【0146】

また、RDがデータでありt1が01××××の場合には、(0101)というTAGを生成する。これにより、受信パケットのデータ(ストリーム)がFW用受信ストリーム領域に書き込まれるようになる。

【0147】

また、RDがデータでありt1が00××××の場合には、(0100)というTAGを生成する。これにより、受信パケットのデータ(ORB)がFW用受信ORB領域に書き込まれるようになる。

【0148】

本実施形態では以上のようにトランザクションラベルt1を利用することで、パケットの分離及びRAMの各領域への書き込みを実現している。

【0149】

4.3 ストリーム領域の管理及びスタート・エンドアドレスの設定

図22に、DMAC44、54、レジスタ46、56、RAM領域管理回路300の詳細な構成例を示す。

【0150】

まず、図22に示す各種のポインタレジスタ310、312、314、316、318、320、322、324について説明する。本実施形態では、RAMの各領域の管理のために、図23に示すような各種のポインタレジスタを設けている。ファームウェア(CPU)は図4のCPUインターフェース60を介して、これらのポインタレジスタに記憶されるポインタのアドレスを随時読み出すことができる。

【0151】

ここで処理済みヘッダポインタレジスタUHPRは、処理済み(使用済み)のヘッダと未処理のヘッダとの境界RB21を指すポインタUHPを記憶する。受信済みヘッダポインタレジスタPHPRは、受信済みの最新(post)のヘッダと未受信のヘッダとの境界RB31を指すポインタPHPを記憶する。

【0152】

また、処理済みORBポインタレジスタUOPRは、処理済みのORBと未処理のORBとの境界RB22を指すポインタUOPを記憶する。受信済みORBポインタレジスタPOPRは、受信済みの最新のORBと未受信のORBとの境界RB32を指すポインタPOPを記憶する。

【0153】

なお、バスリセットヘッダポインタレジスタBHPRは、バスリセット発生前に受信したパケットのヘッダと、バスリセット発生後に受信したパケットのヘッダとの境界RB11を指すポインタBHPを記憶するレジスタである。また、バスリセットORBポインタレジスタBOPRは、バスリセット発生前に受信したパケットのORBと、バスリセット発生後に受信したパケットのORBとの境界RB12を指すポインタBOPを記憶するレジスタである。これらのレジスタBHPR、BOPRを設けることで、ファームウェアがバスリセットの発生場所を容易に検出できるようになる。これにより、バスリセット発生後に行われるファームウェアの処理負担を大幅に軽減できる。

【0154】

図22の説明に戻る。図22のレジスタ310、314、318は、各々、受信済みヘッダポインタ、受信済みORBポインタ、受信済みストリームポインタを記憶するレジスタである。これらのレジスタ310、314、318は、アドレス発生回路188から、各々、WHADR（ヘッダ領域でのアドレス）、WOADR（ORB領域でのアドレス）、WSADR（ストリーム領域でのアドレス）を受ける。また、レジスタ310、314、318は、リンクコア20からの信号RXCOMP（受信が完了した時にアクティブになる信号）を受ける。そして、レジスタ310、314、318は、このRXCOMPがアクティブになるタイミングで、アドレス発生回路188からのWHADR、WOADR、WSADRを取り込み、記憶する。このようにすることで、図23の境界RB31、RB32等のアドレスを記憶できるようになる。

【0155】

また、レジスタ312、316は、各々、バスリセットヘッダポインタ、バスリセットORBポインタを記憶するレジスタである。これらのレジスタ312、

316は、リンクコア20からの信号BRIP（バスリセット中にアクティブになる信号）を受ける。そして、レジスタ312、316は、このBRIPがアクティブになるタイミングで、レジスタ310、314に記憶されているアドレスを取り込み、記憶する。このようにすることで、図23の境界RB11、RB12のアドレスを記憶できるようになる。

【0156】

また、レジスタ320、322、324は、各々、処理済みヘッダポインタ、処理済みORBポインタ、処理済みストリームポインタを記憶するレジスタである。

【0157】

また、スタート・エンドアドレスレジスタ326は、図5に示す各領域のスタートアドレス、エンドアドレスを記憶する。より具体的には、図16で説明した送信領域スタートアドレスTS、送信領域エンドアドレスTE、受信領域スタートアドレスRS、受信領域エンドアドレスREを記憶するレジスタ（送信領域スタートアドレスレジスタTSR、送信領域エンドアドレスレジスタTER、受信領域スタートアドレスレジスタRSR、受信領域エンドアドレスレジスタRER）により構成される。そして、アドレス発生回路188、332は、レジスタ326からのスタートアドレス、エンドアドレスに基づいてアドレスの発生を制御する。より具体的には、スタートアドレスを開始点として順次ポインタを更新する。そして、ポインタがエンドアドレスに到達した場合に、ポインタをスタートアドレスに戻すなどの制御を行う（リングバッファ構造の場合）。

【0158】

RAM領域管理回路300は、受信ヘッダ領域管理回路302、受信ORB領域管理回路304、受信ストリーム領域管理回路306を含む。

【0159】

そして、受信ヘッダ領域管理回路302は、レジスタ310からの受信済みヘッダポインタやレジスタ320からの処理済みヘッダポインタを受け、受信ヘッダ領域がフルであることを知らせる信号HDRFULLをアクセス要求発生回路192に出力する。

【0160】

また、受信ORB領域管理回路304は、レジスタ314からの受信済みORBポインタやレジスタ322からの処理済みORBポインタを受け、受信ORB領域がフルであることを知らせる信号ORBFULLをアクセス要求発生回路192に出力する。

【0161】

また、受信ストリーム領域管理回路306は、レジスタ318からの受信済みストリームポインタやレジスタ324からの処理済みストリームポインタを受け、受信ストリーム領域がフルであることを知らせる信号STRMFULLをアクセス要求発生回路192に出力する。また、受信ストリーム領域がエンプティであることを知らせる信号STRMEMPTYをアクセス要求発生回路334に出力する。

【0162】

アクセス要求発生回路192、334は、これらのフル信号、エンプティ信号を受けて、書き込み要求WREQ、読み出し要求RREQをバッファマネージャー70に出力するか否かを決めることになる。

【0163】

このように、本実施形態では、受信ストリーム領域の管理は、受信ストリーム領域管理回路306というハードウェアが行い、ファームウェアが関与しない。従って、図12において説明したように、ファームウェアの処理負担を軽減できると共に、データ転送を格段に高速化できるようになる。

【0164】

5. 電子機器

次に、本実施形態のデータ転送制御装置を含む電子機器の例について説明する。

【0165】

例えば図24(A)に電子機器の1つであるプリンタの内部ブロック図を示し、図25(A)にその外観図を示す。CPU(マイクロコンピュータ)510はシステム全体の制御などを行う。操作部511はプリンタをユーザが操作するた

めのものである。ROM 516には、制御プログラム、フォントなどが格納され、RAM 518はCPU 510のワーク領域として機能する。表示パネル 519はプリンタの動作状態をユーザに知らせるためのものである。

【0166】

PHYデバイス 502、データ転送制御装置 500を介して、パーソナルコンピュータなどの他のノードから送られてきた印字データは、バス 504を介して印字処理部 512に直接送られる。そして、印字データは、印字処理部 512にて所与の処理が施され、プリントヘッダなどからなる印字部（データを出力するための装置） 514により紙に印字されて出力される。

【0167】

図 24（B）に電子機器の 1つであるスキャナの内部ブロック図を示し、図 25（B）にその外観図を示す。CPU 520はシステム全体の制御などを行う。操作部 521はスキャナをユーザが操作するためのものである。ROM 526には制御プログラムなどが格納され、RAM 528はCPU 520のワーク領域として機能する。

【0168】

光源、光電変換器などからなる画像読み取り部（データを取り込むための装置） 522により原稿の画像が読み取られ、読み取られた画像のデータは画像処理部 524により処理される。そして、処理後の画像データがバス 505を介してデータ転送制御装置 500に直接送られる。データ転送制御装置 500は、この画像データにヘッダなどを付加することでパケットを生成し、PHYデバイス 502を介してパーソナルコンピュータなどの他のノードに送信する。

【0169】

図 24（C）に電子機器の 1つであるCD-RWドライブの内部ブロック図を示し、図 25（C）にその外観図を示す。CPU 530はシステム全体の制御などを行う。操作部 531はCD-RWをユーザが操作するためのものである。ROM 536には制御プログラムなどが格納され、RAM 538はCPU 530のワーク領域として機能する。

【0170】

レーザ、モータ、光学系などからなる読み取り&書き込み部（データを取り込むための装置又はデータを記憶するための装置）533によりCD-RW532から読み取られたデータは、信号処理部534に入力され、エラー訂正処理などの所与の信号処理が施される。そして、信号処理が施されたデータが、バス506を介してデータ転送制御装置500に直接送られる。データ転送制御装置500は、このデータにヘッダなどを付加することでパケットを生成し、PHYデバイス502を介してパーソナルコンピュータなどの他のノードに送信する。

【0171】

一方、PHYデバイス502、データ転送制御装置500を介して、他のノードから送られてきたデータは、バス506を介して信号処理部534に直接送られる。そして、信号処理部534によりこのデータに所与の信号処理が施され、読み取り&書き込み部533によりCD-RW532に記憶される。

【0172】

なお、図24（A）、（B）、（C）において、CPU510、520、530の他に、データ転送制御装置500でのデータ転送制御のためのCPUを別に設けるようにしてもよい。

【0173】

また、図24（A）、（B）、（C）ではRAM501（図4のRAM80に相当）がデータ転送制御装置500の外部に設けられているが、RAM501をデータ転送制御装置500に内蔵させてもよい。

【0174】

本実施形態のデータ転送制御装置を電子機器に用いることで、高速なデータ転送が可能になる。従って、ユーザがパーソナルコンピュータなどによりプリントアウトの指示を行った場合に、少ないタイムラグで印字が完了するようになる。また、スキャナへの画像取り込みの指示の後に、少ないタイムラグで読み取り画像をユーザは見るようになる。また、CD-RWからのデータの読み取りや、CD-RWへのデータの書き込みを高速に行うことができるようになる。更に、例えば1つのホストシステムに複数の電子機器を接続して利用したり、複数のホストシステムに複数の電子機器を接続して利用したりすることも容易

になる。

【0175】

また本実施形態のデータ転送制御装置を電子機器に用いることで、CPU上で動作するファームウェアの処理負担が軽減され、安価なCPUや低速のバスを用いることが可能になる。更に、データ転送制御装置の低コスト化、小規模化を図れるため、電子機器の低コスト化、小規模化も図れるようになる。

【0176】

なお本実施形態のデータ転送制御装置を適用できる電子機器としては、上記以外にも例えば、種々の光ディスクドライブ（CD-ROM、DVD）、光磁気ディスクドライブ（MO）、ハードディスクドライブ、TV、VTR、ビデオカメラ、オーディオ機器、電話機、プロジェクタ、パーソナルコンピュータ、電子手帳、ワードプロセッサなど種々のものを考えることができる。

【0177】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【0178】

例えば、本発明のデータ転送制御装置の構成は、図4に示す構成が特に望ましいが、これに限定されるものではない。

【0179】

また、パケットの分離手法、パケット記憶手段の各領域へのパケットの書き込み手法、読み出し手法も、図5、図10で説明した手法に限定されるものではない。

【0180】

また、第1のデータはトランザクション層用のデータ、第2のデータはアプリケーション層用のデータであることが特に望ましいが、本発明の第1、第2のデータはこれに限定されるものではない。

【0181】

また、応答パケットのトランザクション識別情報が含む指示情報に基づいて行う処理は、図14で説明したような、指示情報により指示される領域への応答パ

ケット（ヘッダ、データ）の書き込み処理であることが特に望ましいが、これに限定されるものではない。

【 0 1 8 2 】

また、本発明は、I E E E 1 3 9 4 規格でのデータ転送に適用されることが特に望ましいが、これに限定されるものではない。例えば I E E E 1 3 9 4 と同様の思想に基づく規格や I E E E 1 3 9 4 を発展させた規格におけるデータ転送にも本発明は適用できる。

【図面の簡単な説明】

【図 1】

I E E E 1 3 9 4 の層構造について示す図である。

【図 2】

図 2（A）、（B）は、トランザクション層やリンク層が提供する各種のサービスについて説明するための図である。

【図 3】

S B P-2 について説明するための図である。

【図 4】

本実施形態のデータ転送制御装置の構成例を示す図である。

【図 5】

R A M（パケット記憶手段）の分離（分割）手法について説明するための図である。

【図 6】

比較例の構成について示す図である。

【図 7】

図 6 の構成によるデータ転送の手法について説明するための図である。

【図 8】

本実施形態のデータ転送の手法について説明するための図である。

【図 9】

データ領域を O R B 領域とストリーム領域に分離しない手法について説明するための図である。

【図 10】

データ領域をORB領域とストリーム領域に分離する手法について説明するための図である。

【図 11】

他のノードとアプリケーション層のデバイスとの間のストリーム転送の様子を示す図である。

【図 12】

エンプティ信号とフル信号を用いたストリーム領域の管理手法について説明するための図である。

【図 13】

図 13 (A)、(B) は、トランザクションラベルについて説明するための図である。

【図 14】

トランザクションラベルを利用して、RAMの各領域にパケットのヘッダ、データを書き込む手法について説明するための図である。

【図 15】

トランザクションラベルを利用して、RAMの各領域にパケットのヘッダ、データを書き込む処理の詳細について説明するための図である。

【図 16】

送信ストリーム領域を確保するためのアドレスTS、TE、受信ストリーム領域を確保するためのアドレスRS、REを記憶するレジスタTSR、TER、RSR、RE Rを設ける手法について説明するための図である。

【図 17】

図 17 (A)、(B)、(C)、(D) は、領域確保の種々のモードについて説明するための図である。

【図 18】

比較例の領域確保の手法について説明するための図である。

【図 19】

受信側の詳細な構成について示す図である。

【図 20】

図 20 (A) は、IEEE 1394 規格の、非同期でブロックデータを有するパケットのフォーマットであり、図 20 (B) は、RAM に格納される、非同期受信でブロックデータを有するパケットのヘッダ部分のフォーマットである。

【図 21】

TAG について説明するための図である。

【図 22】

DMAC、レジスタ、RAM 領域管理回路の詳細な構成について示す図である。

【図 23】

各種のポインタレジスタについて説明するための図である。

【図 24】

図 24 (A)、(B)、(C) は、種々の電子機器の内部ブロック図の例である。

【図 25】

図 25 (A)、(B)、(C) は、種々の電子機器の外観図の例である。

【符号の説明】

- 10 PHY インターフェース
- 20 リンクコア
- 22 レジスタ
- 30 FIFO (ATF)
- 32 FIFO (ITF)
- 34 FIFO (RF)
- 40 DMAC (ATF 用)
- 42 DMAC (ITF 用)
- 44 DMAC (RF 用)
- 46 レジスタ
- 50 ポートインターフェース
- 52 FIFO (PF)

- 54 DMAC (PF用)
- 56 レジスタ
- 60 CPUインターフェース
- 62 アドレスデコーダ
- 63 データ同期化回路
- 64 割り込みコントローラ

- 66 CPU
- 68 クロック制御回路
- 70 バッファマネージャ
- 72 レジスタ
- 74 調停回路
- 76 シーケンサ
- 80 RAM (パケット記憶手段)
- 84 SBP-2コア
- 86 DMAC (SBP-2用)
- 90、92、94 バス (第1のバス)
- 95、96 バス (第2のバス)
- 99 バス (第5のバス)
- 100、102、104、105、
- 106、107、108、109 バス (第3のバス)
- 110 バス (第4のバス)
- 120 データ転送制御装置
- 122 PHYデバイス
- 124 アプリケーション層のデバイス
- 130 バス監視回路

- 132 直列・並列変換回路
- 142 パケット診断回路
- 160 パケット整形回路
- 162 TAG生成回路

164 ステータス生成回路

166 エラーチェック回路

167 シーケンサ

168 バッファ

170 セレクタ

180 パケット分離回路

182 TAG判別回路

184 ポインタ更新回路

188 アドレス発生回路

190 アクセス要求実行回路

192 アドレス要求発生回路

300 RAM領域管理回路

302 受信ヘッダ領域管理回路

304 受信ORB領域管理回路

306 受信ストリーム領域管理回路

310 受信済みヘッダポインタレジスタ (PHPR)

312 バスリセットヘッダポインタレジスタ (BHPR)

314 受信済みORBポインタレジスタ (POPR)

316 バスリセットORBポインタレジスタ (BOPR)

318 受信済みストリームポインタレジスタ (PSPR)

320 処理済みヘッダポインタレジスタ (UHPR)

322 処理済みORBポインタレジスタ (UOPR)

324 処理済みストリームポインタレジスタ (USPR)

326 スタート・エンドアドレスレジスタ

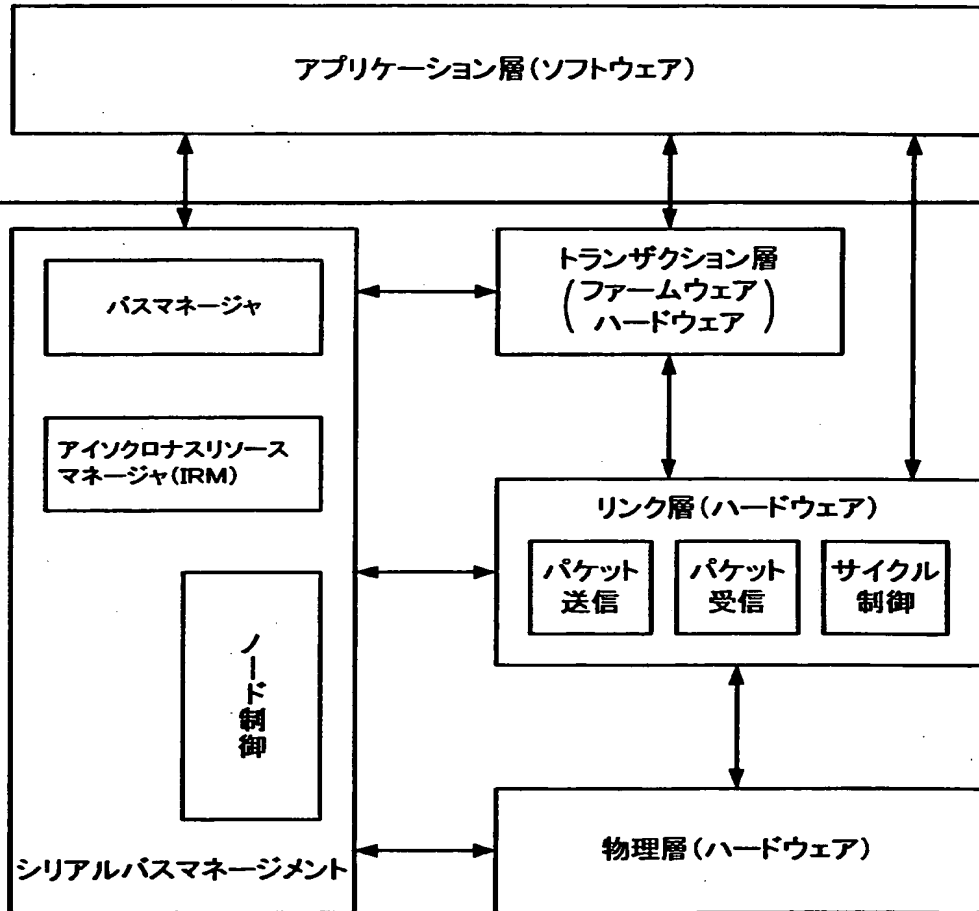
332 アドレス発生回路

334 アクセス要求発生回路

【書類名】

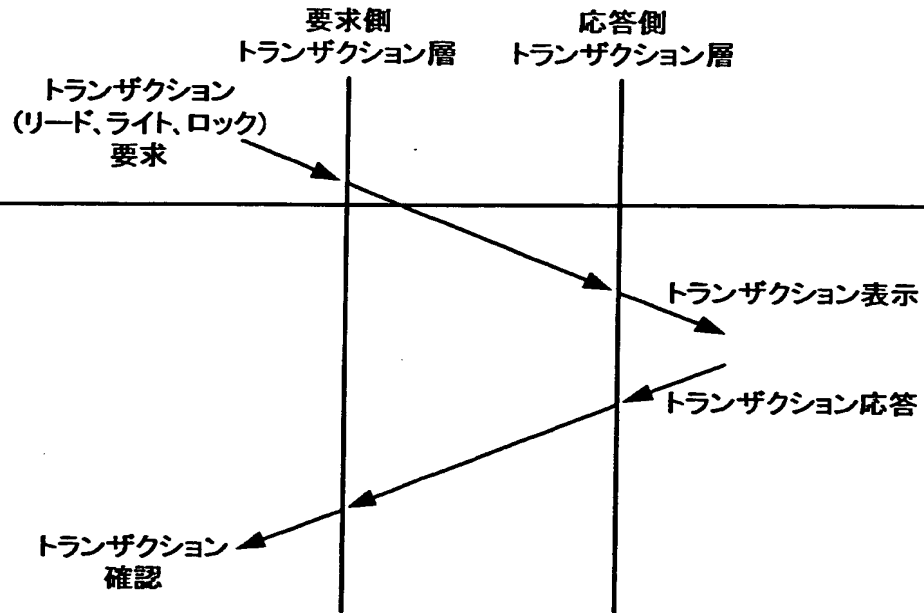
図面

【図 1】

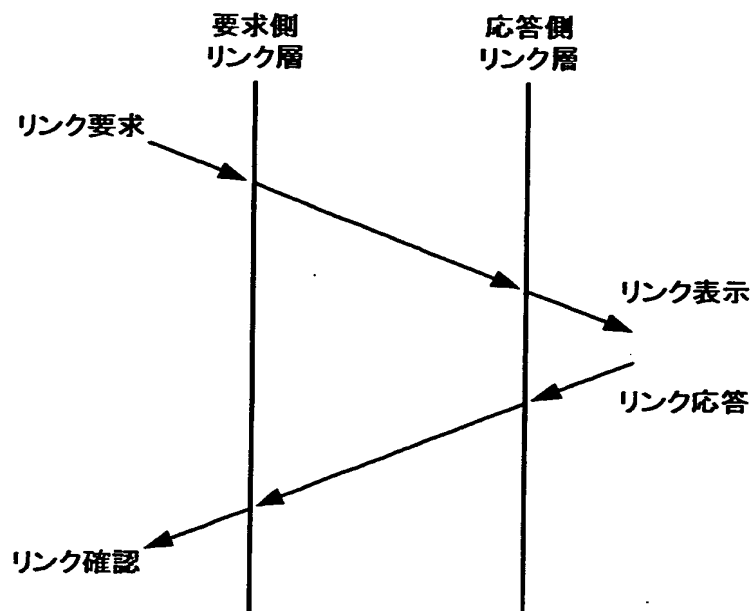


【図 2】

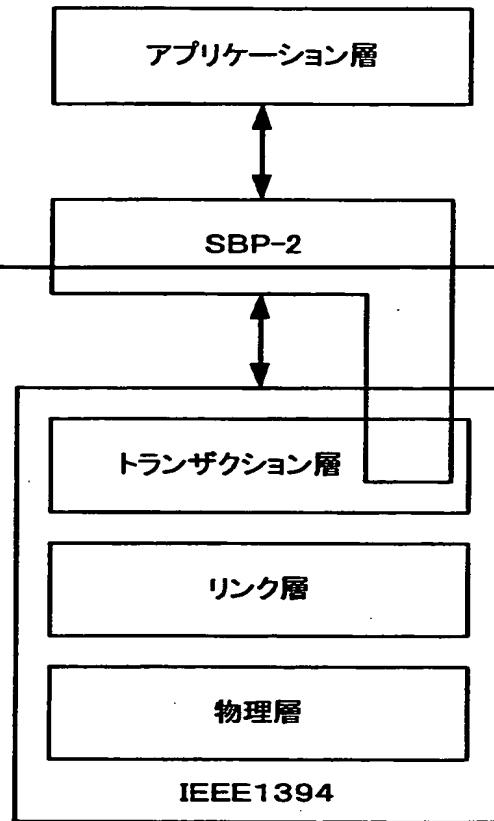
(A)



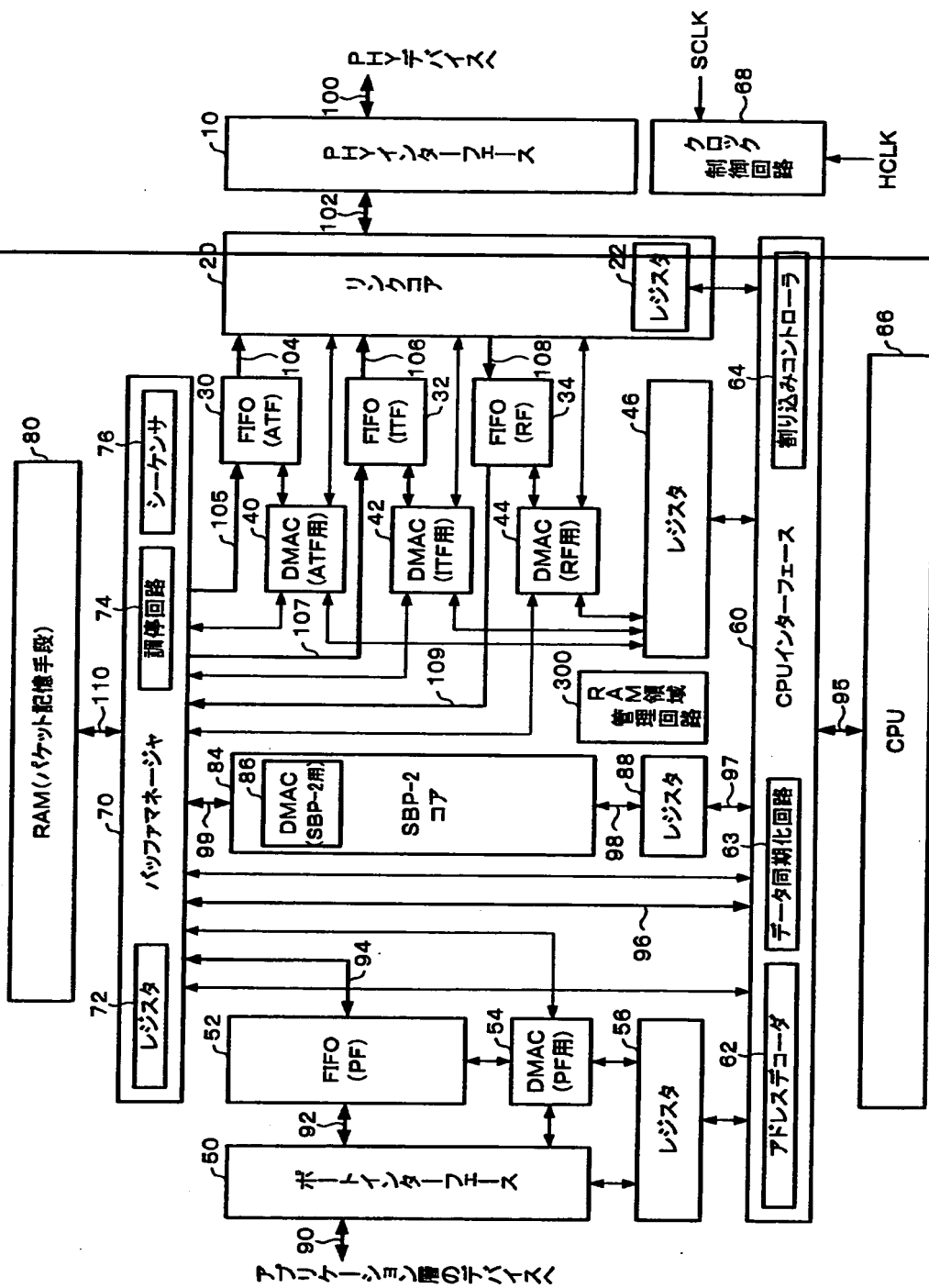
(B)



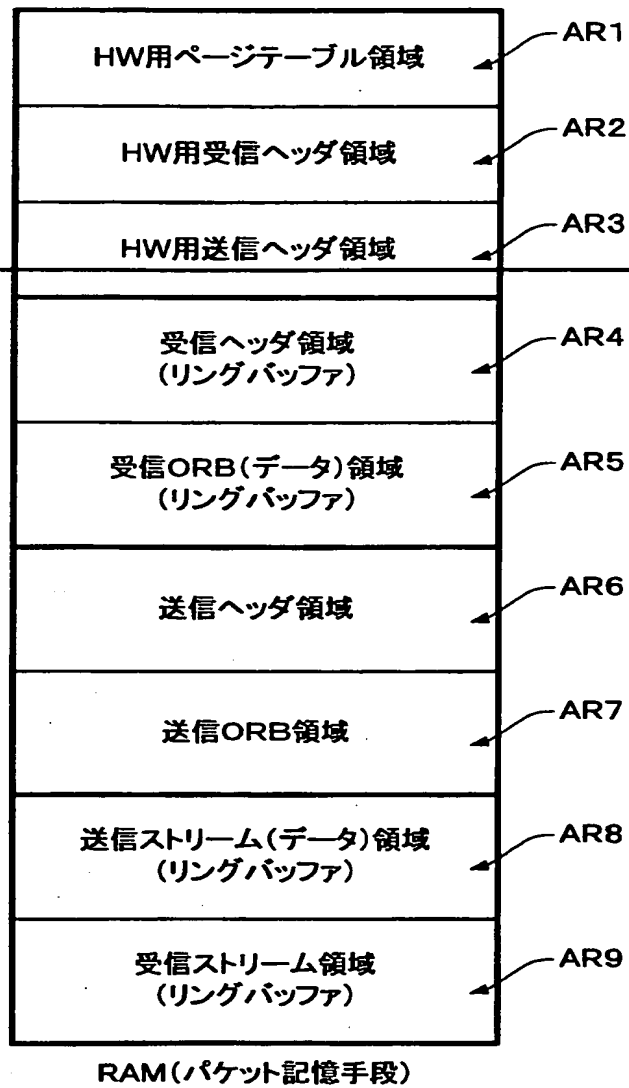
【図 3】



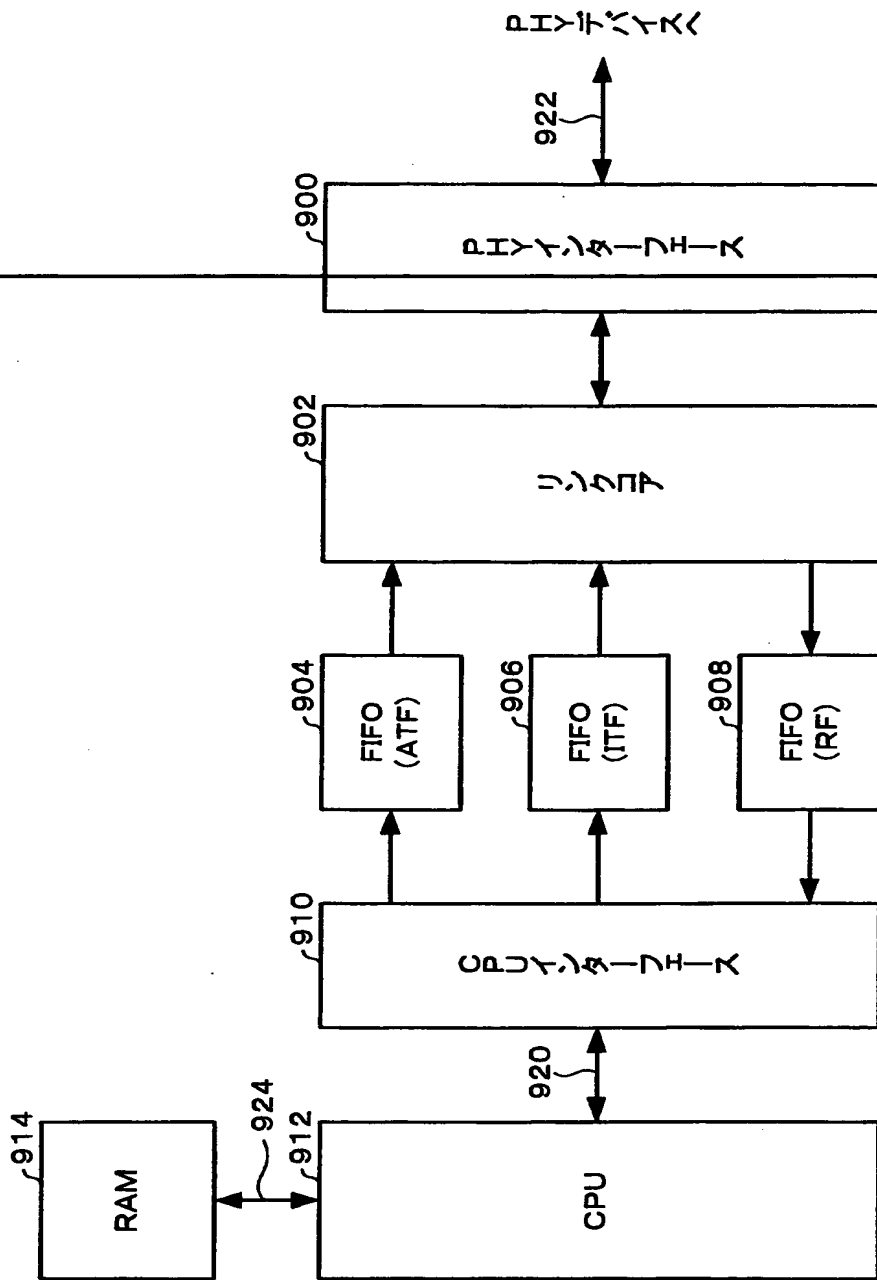
【図 4】



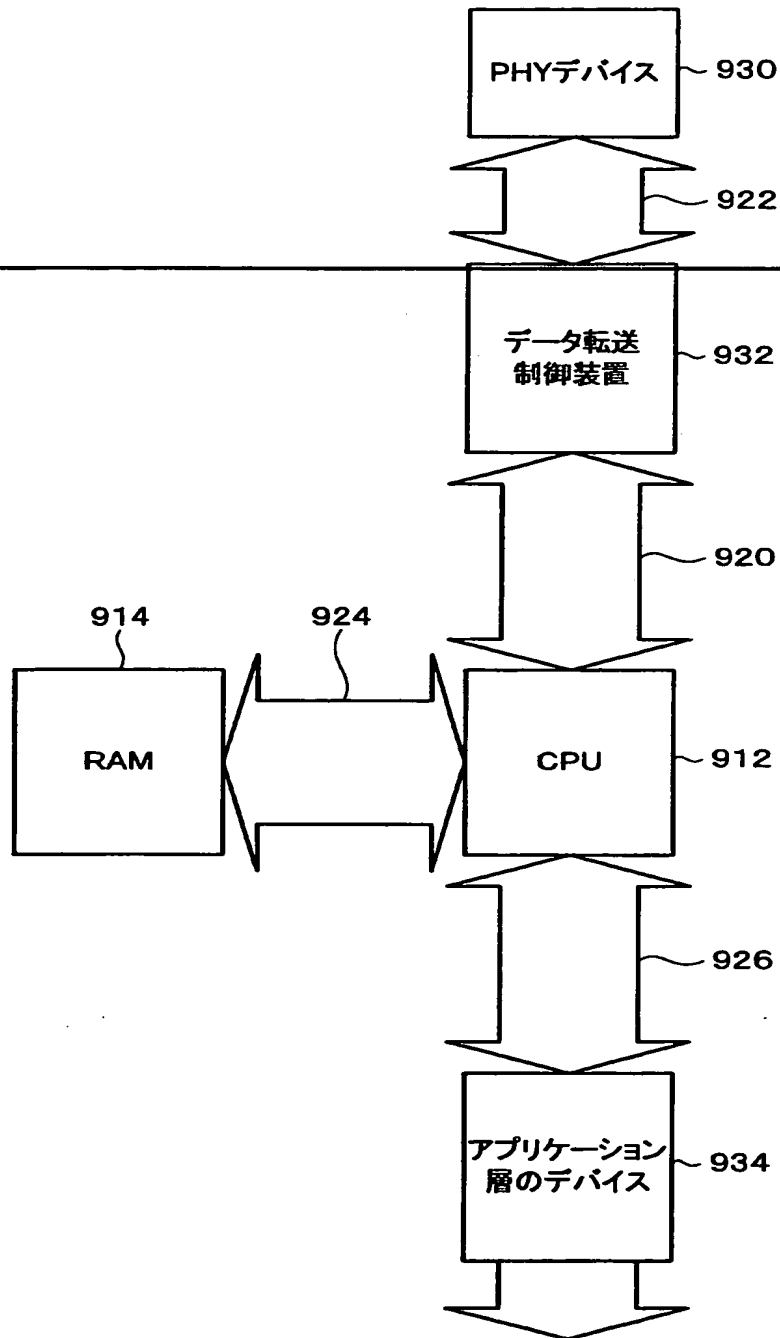
【図 5】



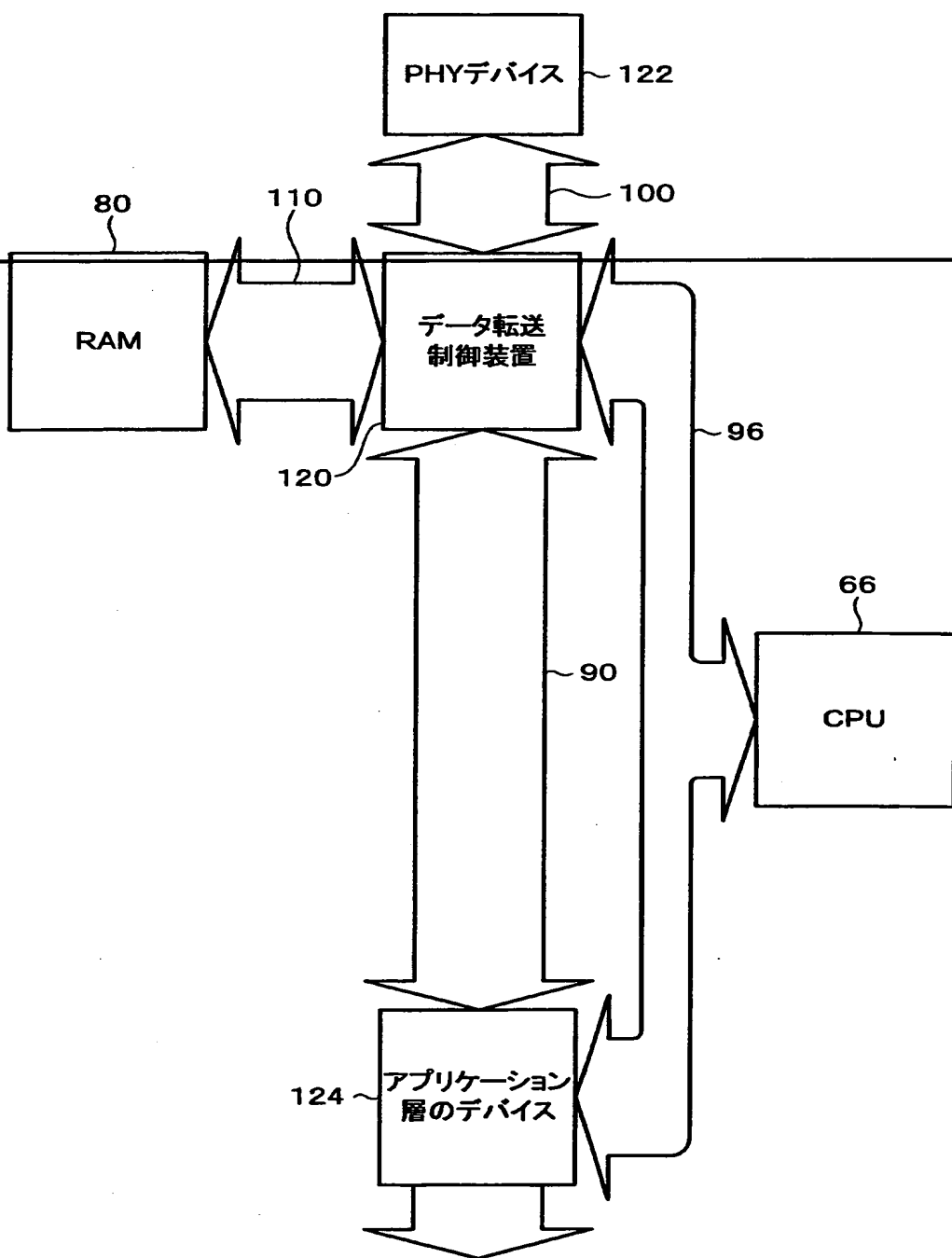
【図 6】



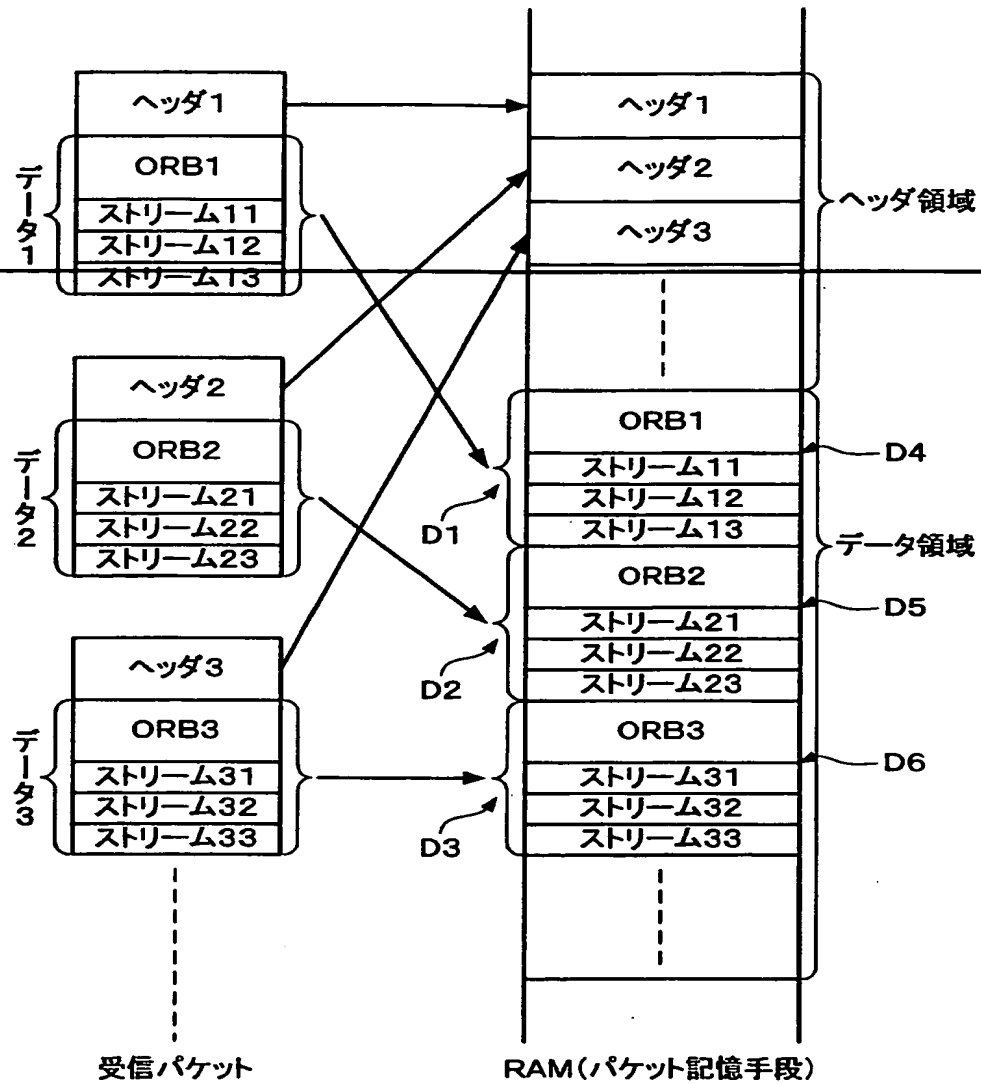
【図 7】



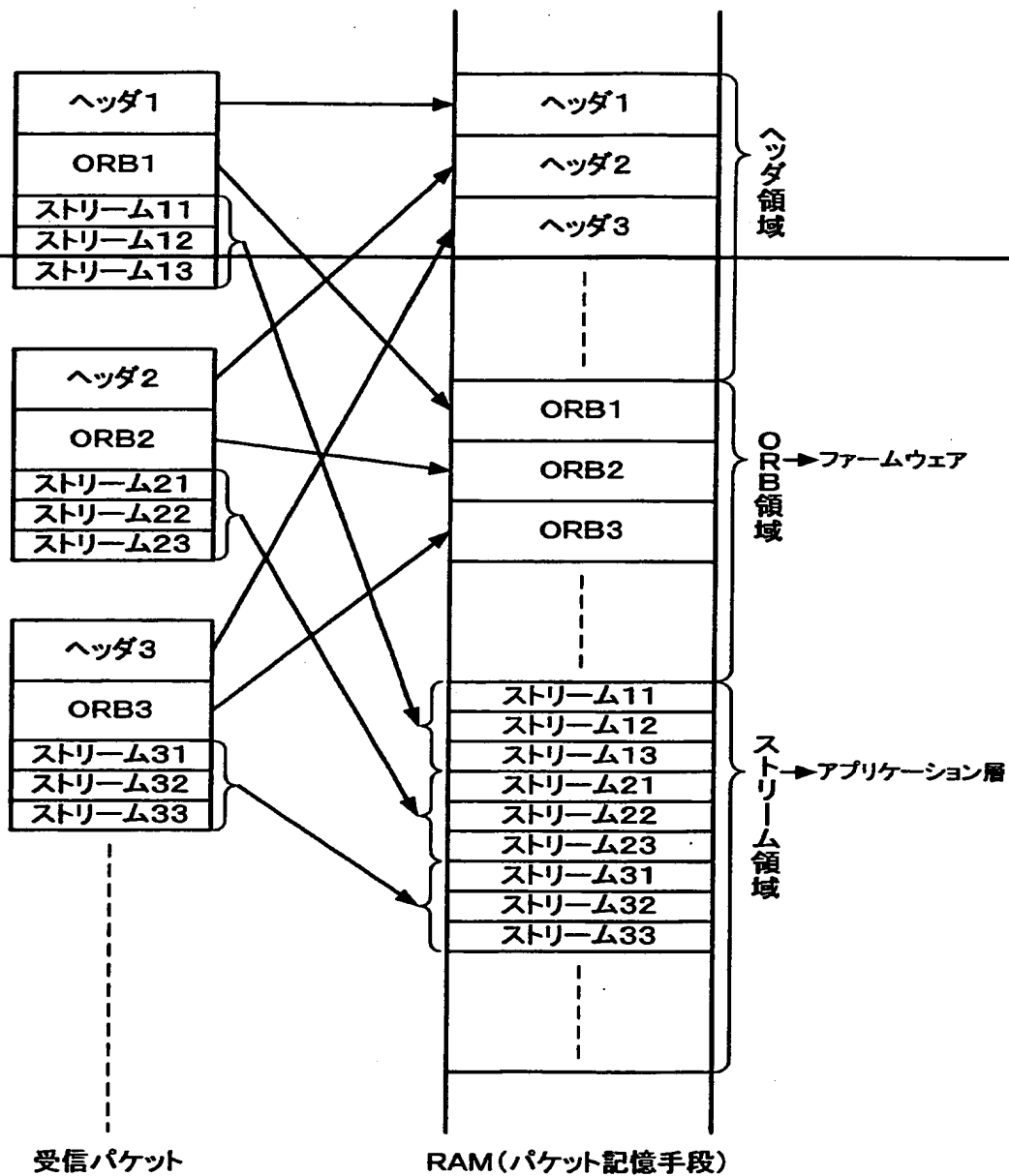
【図 8】



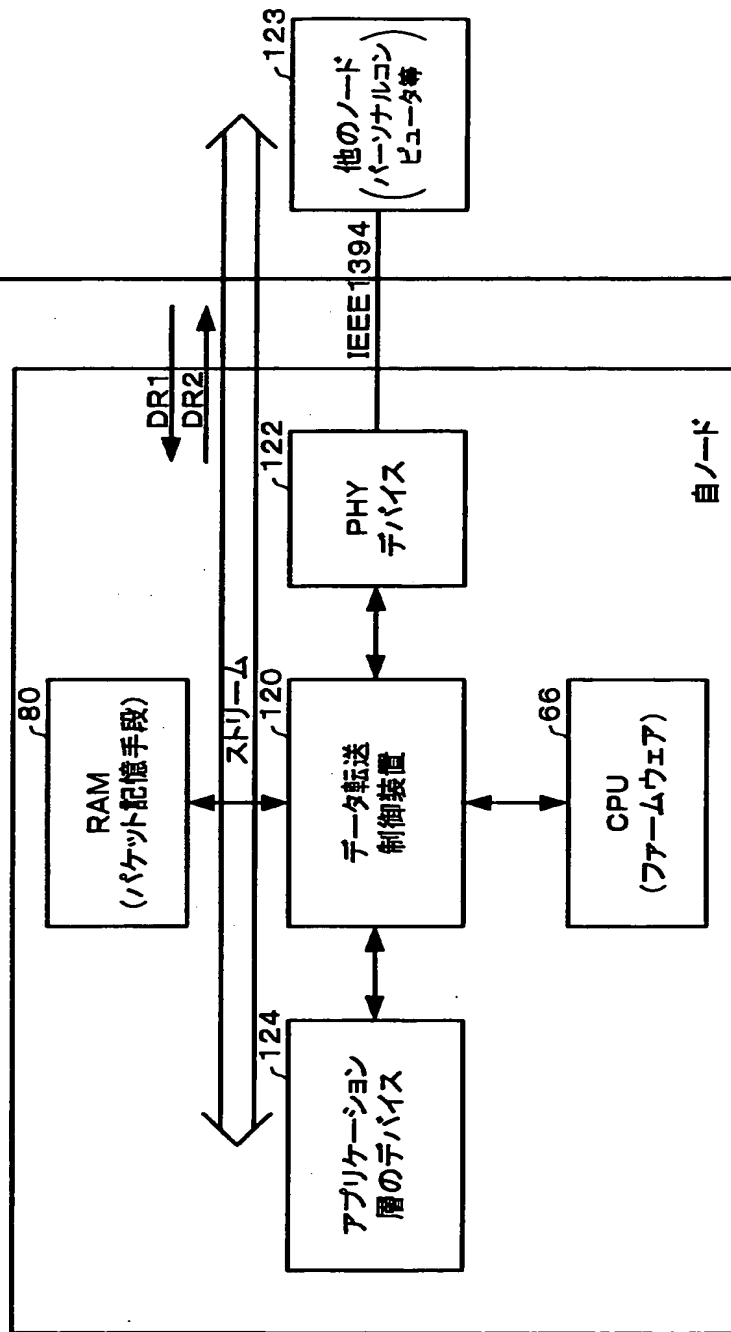
【図 9】



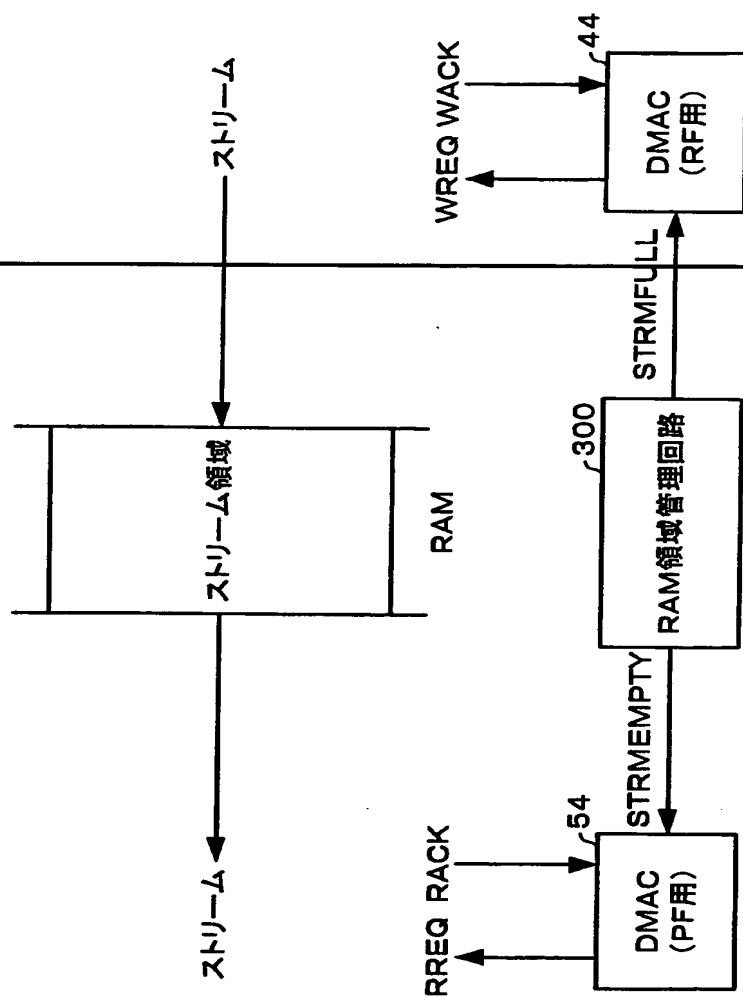
【図10】



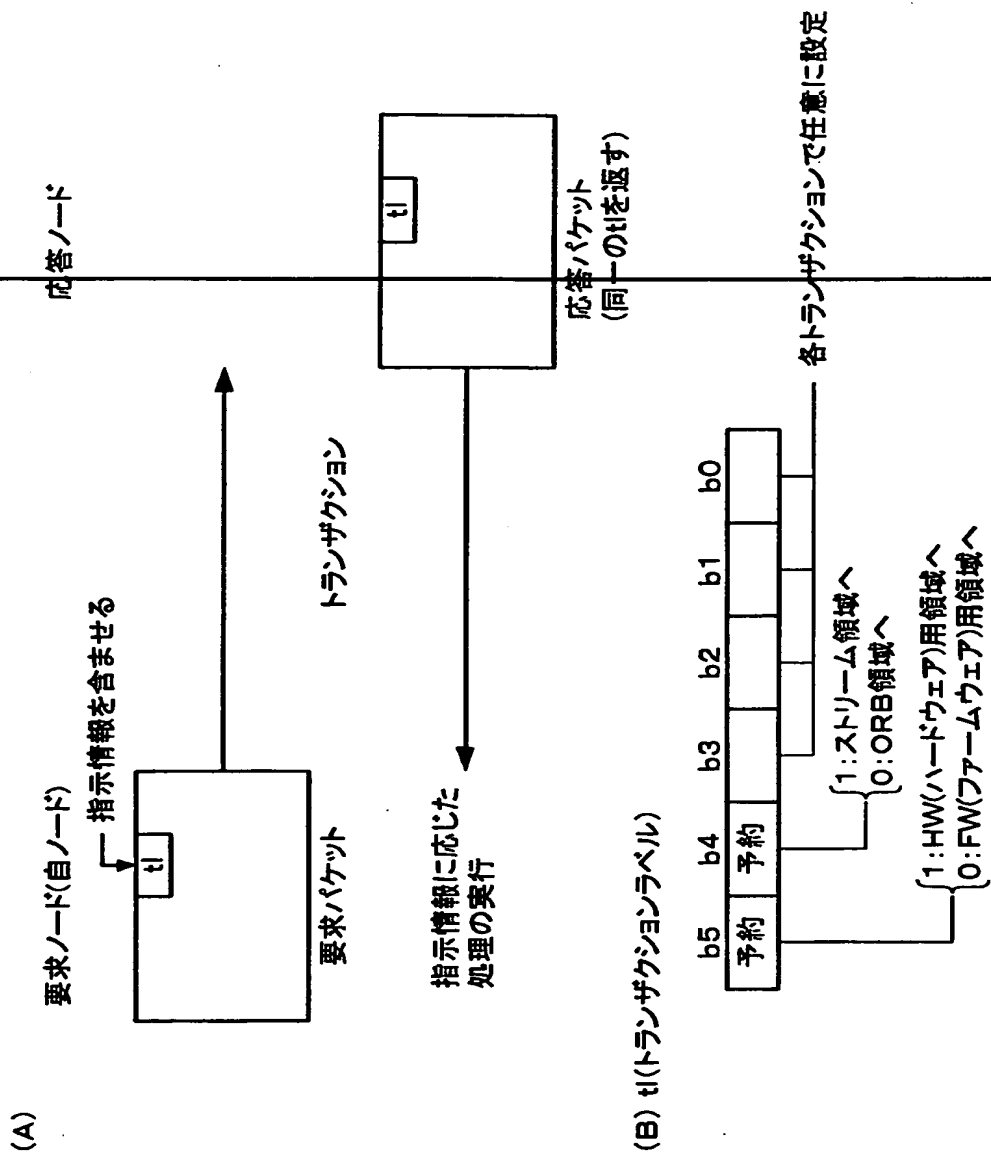
【図 1 1】



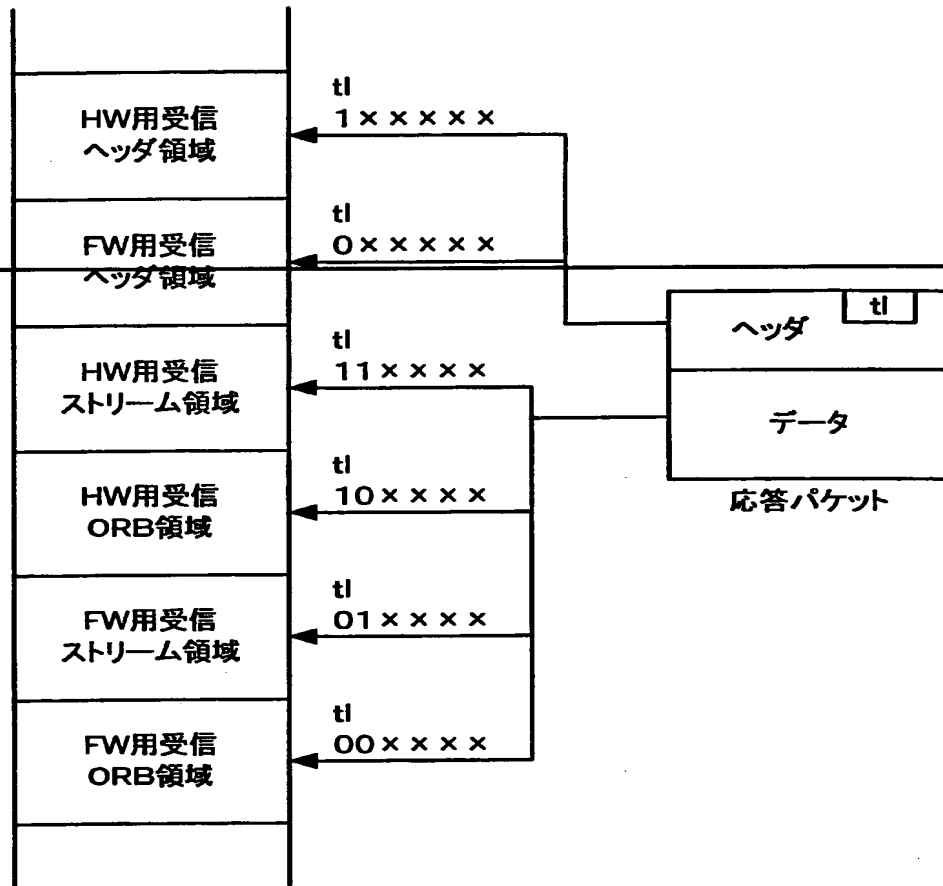
【図 1 2】



【図 13】

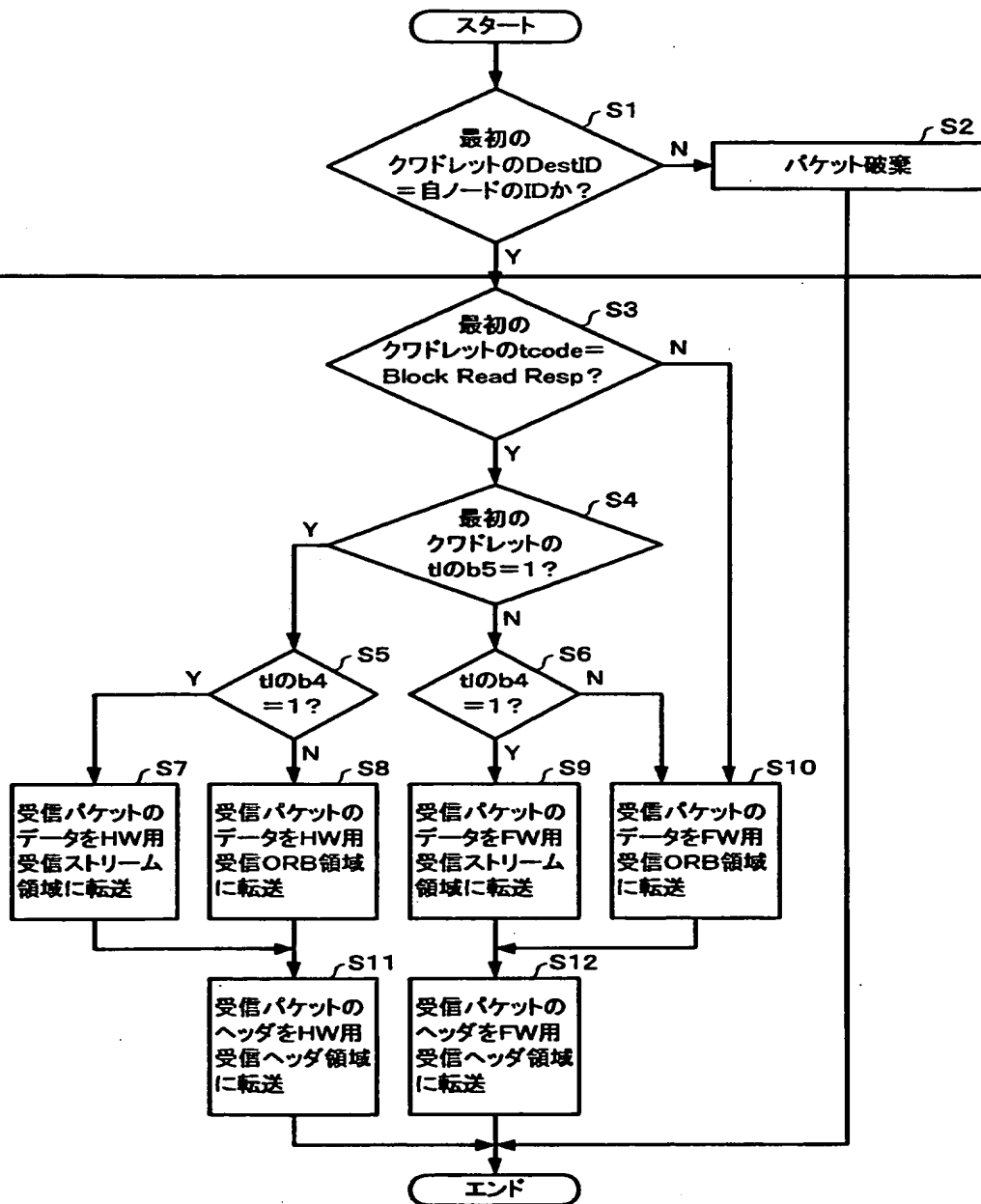


【図 14】

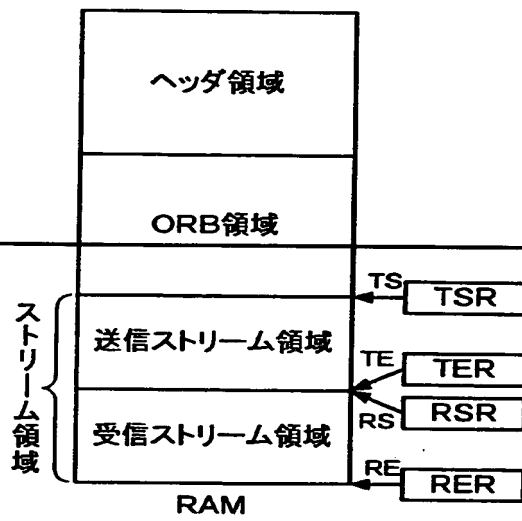


RAM (パケット記憶手段)

【図 15】

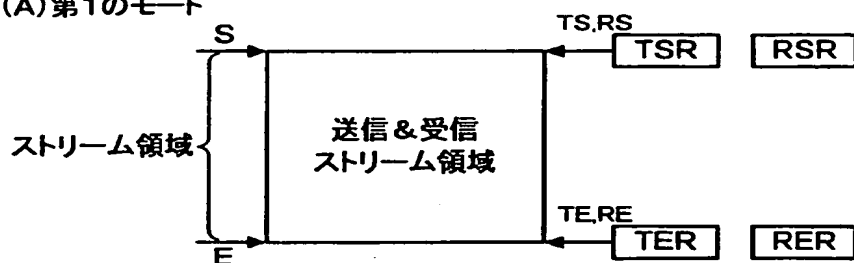


【図 16】

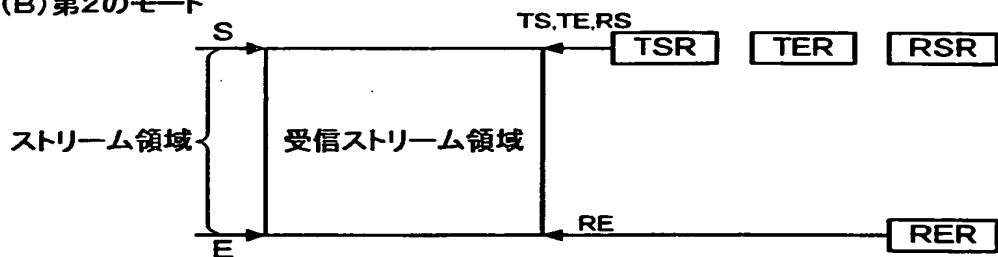


【図 17】

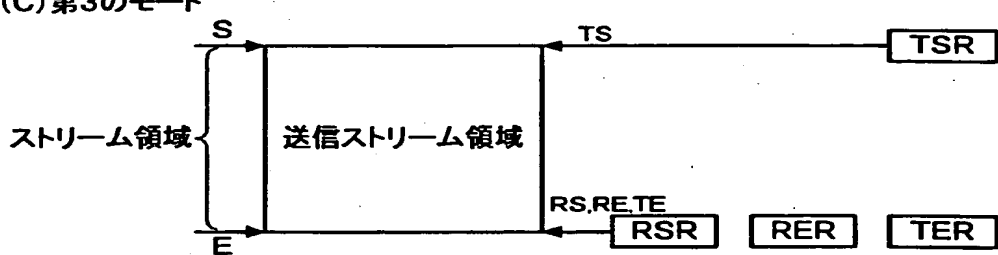
(A) 第1のモード



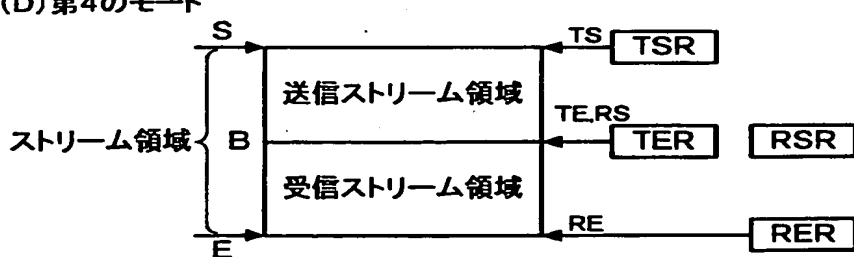
(B) 第2のモード



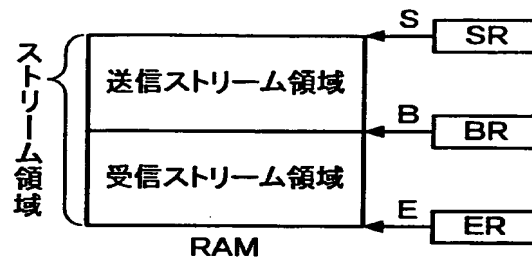
(C) 第3のモード



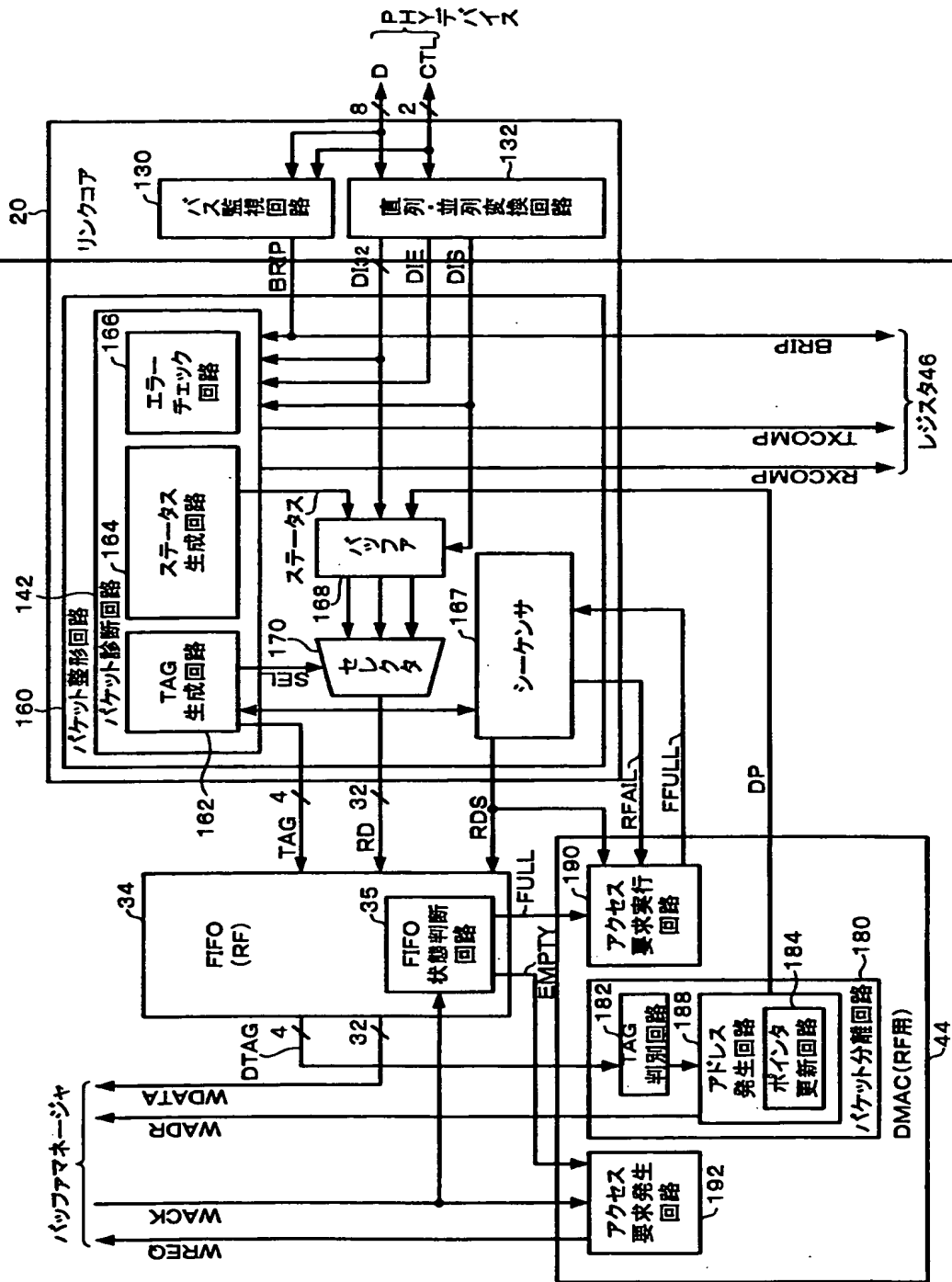
(D) 第4のモード



【図 1 8】

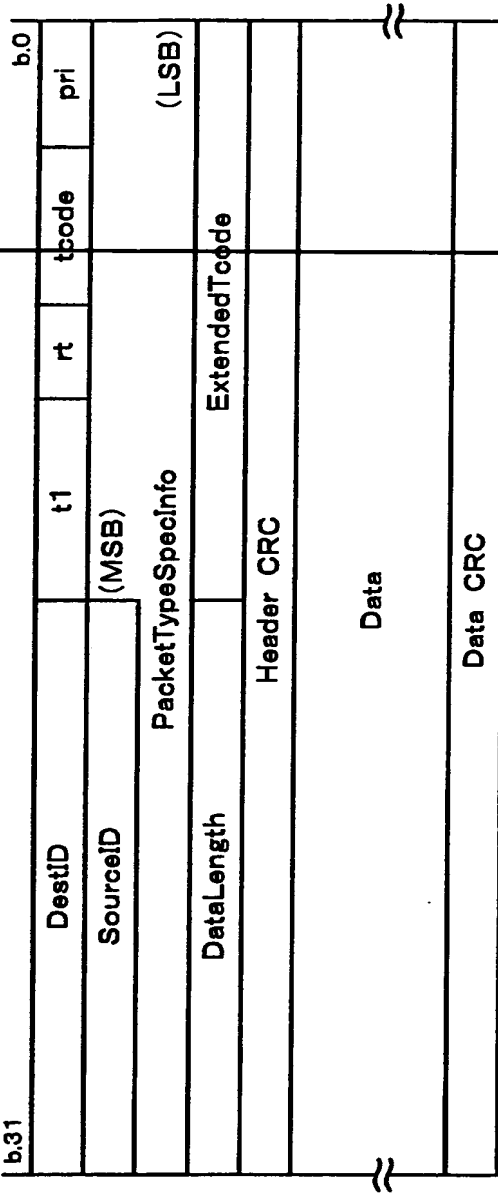


【図 19】

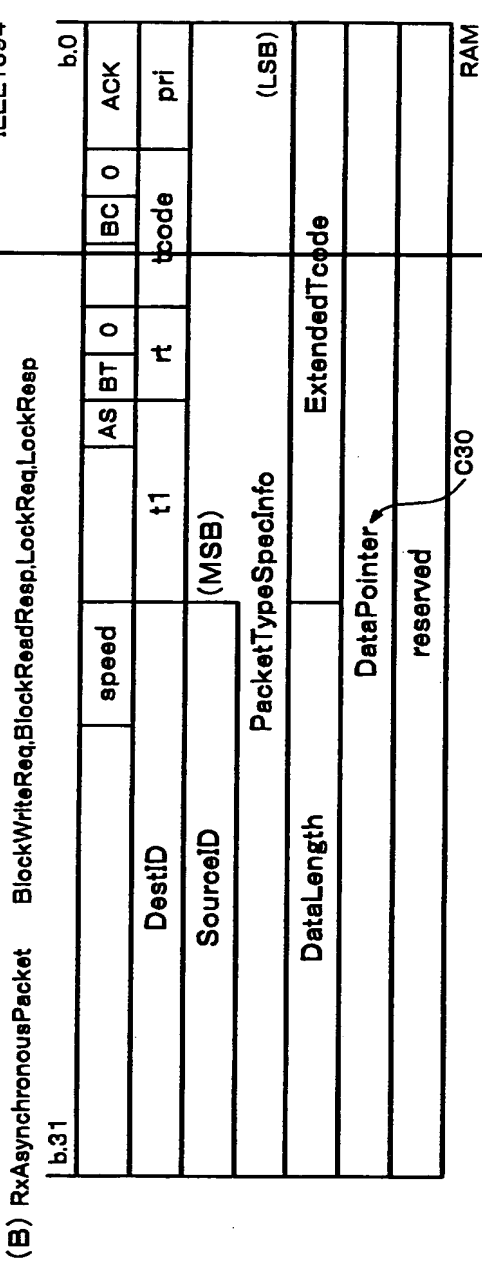


【図 2 0】

(A)



(B)

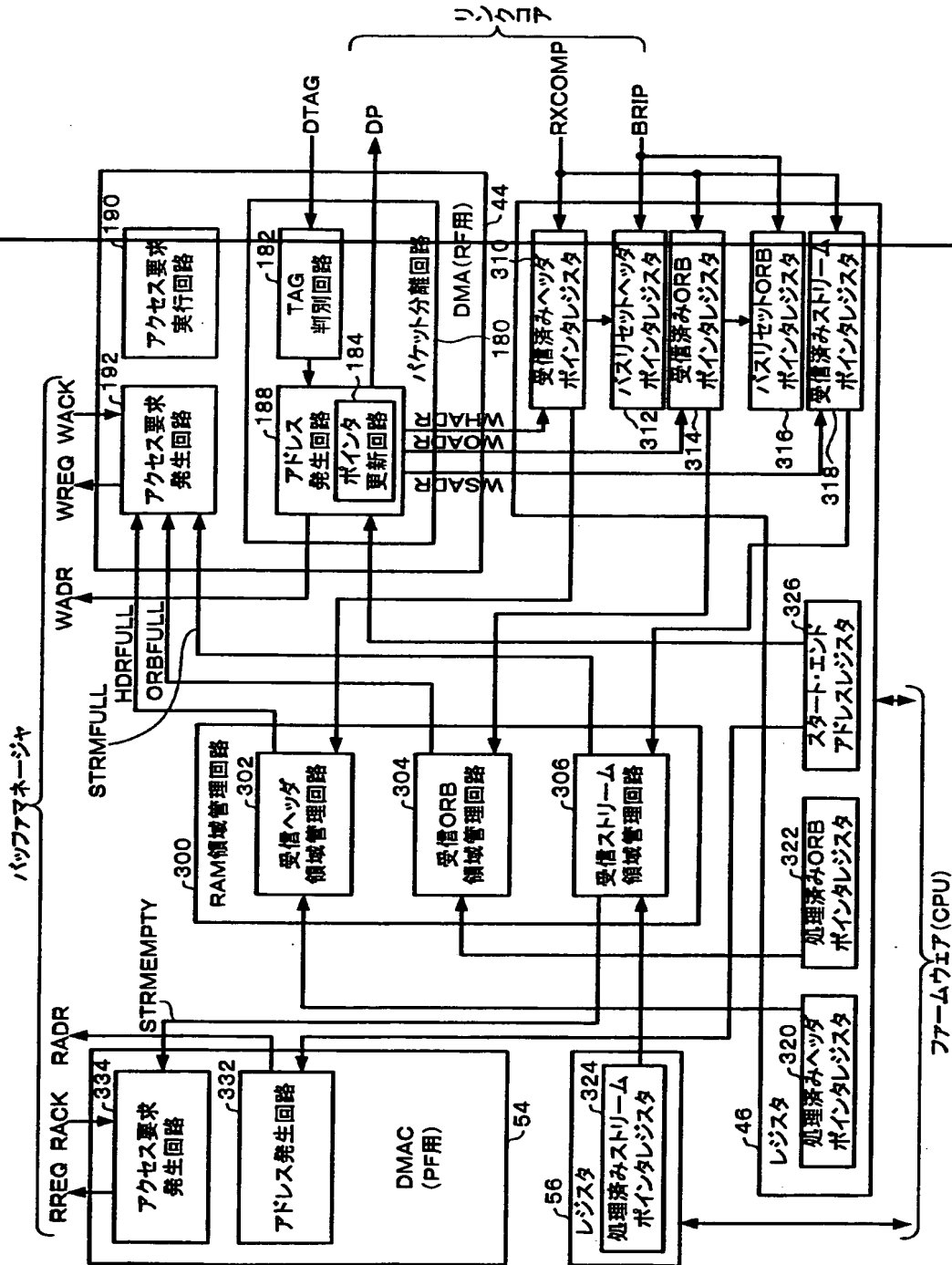


【図 21】

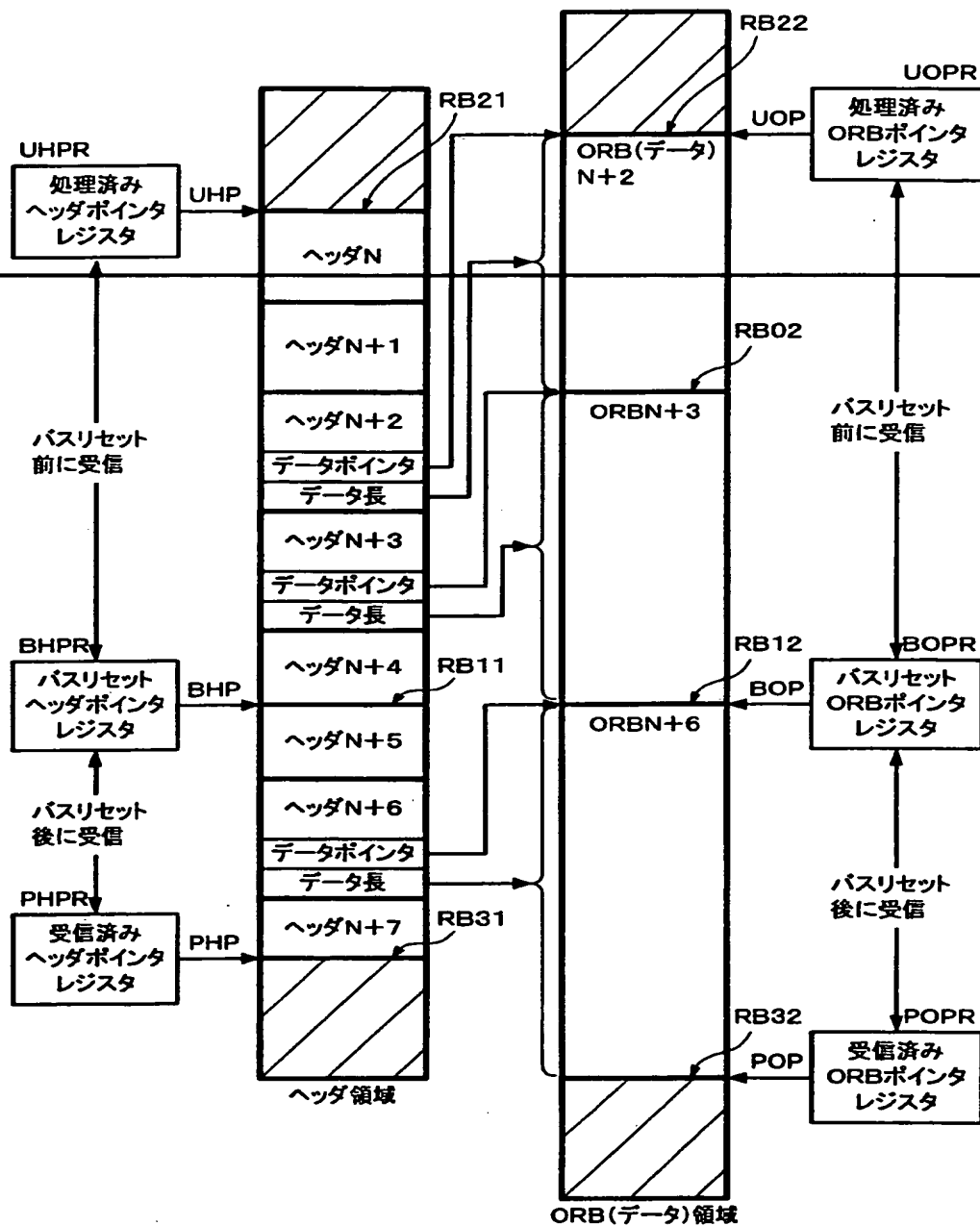
TAG(DTAG)	意味
0001	FW-SOP
0010	FW-HDR
0011	FW-FTR
0100	FW-ORB
0101	FW-STRM
1001	HW-SOP
1010	HW-HDR
1011	HW-FTR
1100	HW-ORB
1101	HW-STRM

FW ファームウェア
HW ハードウェア
SOP スタートオブパケット
 (受信パケットの最初の1クワドレット)
HDR SOP以外のヘッダ
FTR ACK送信
ORB ORB(データ)
STRM ストリーム(データ)

【図 22】

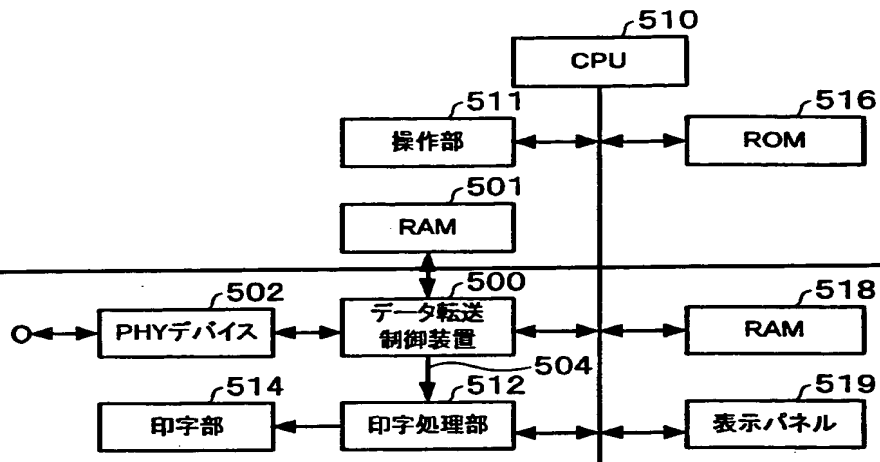


【図 23】

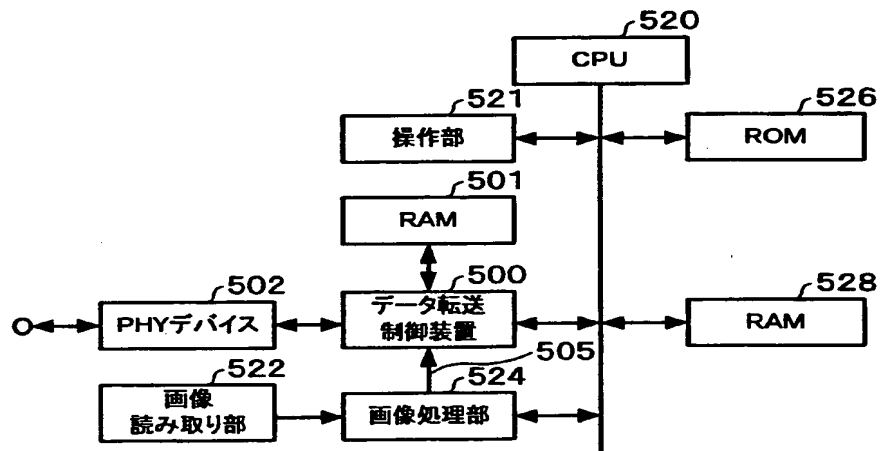


【図 24】

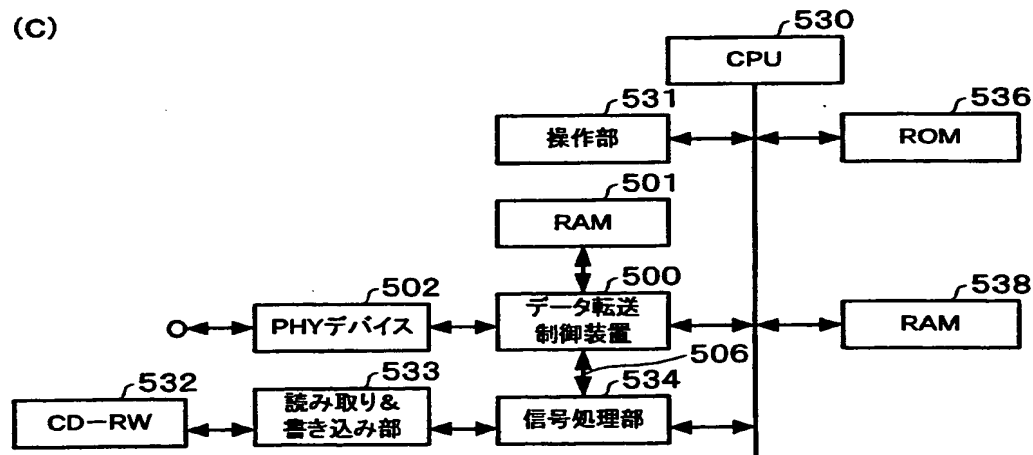
(A)



(B)

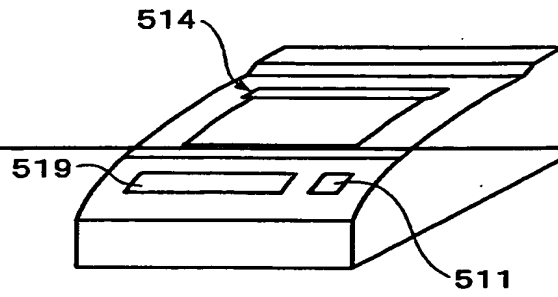


(C)

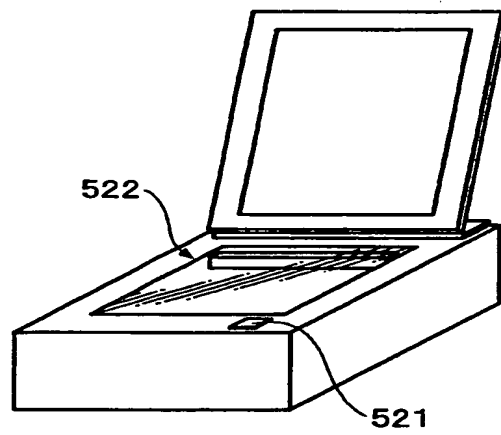


【図 25】

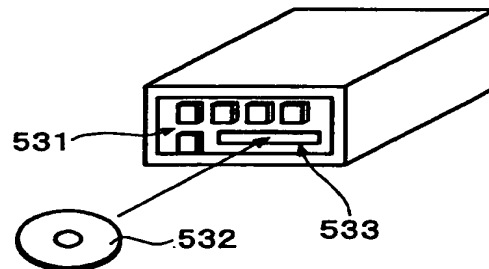
(A)



(B)



(C)



【書類名】 要約書

【要約】

【課題】 ファームウェアの処理のオーバーヘッドを軽減し、高速なデータ転送を実現できるデータ転送制御装置及び電子機器を提供すること。

【解決手段】 IEEE 1394 規格のデータ転送制御装置において、パケットのヘッダをヘッダ領域に、パケットの ORB (SBP-2 用データ) を ORB 領域に、パケットのストリーム (アプリケーション層用データ) をストリーム領域に書き込む。ストリーム領域では、フル信号、エンプティ信号によりハードウェアで領域管理を行う。要求パケットのトランザクションラベル $t1$ に指示情報を含ませ、応答パケットの受信時に、 $t1$ が含む指示情報により指示される領域にパケットのヘッダ、ORB、ストリームを書き込む。ストリーム領域に送信領域を確保するためのアドレス TS 、 TE を記憶するレジスタ TSR 、 TER や、受信領域を確保するためのアドレス RS 、 RE を記憶するレジスタ RSR 、 REr を設ける。

【選択図】 図 10

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社

THIS PAGE BLANK (USPTO)